

#6  
日 本 国 特 許 庁  
JAPAN PATENT OFFICE

JP986 U.S. PTO  
09/880089  
06/14/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日  
Date of Application:

2000年 6月19日

出 願 番 号  
Application Number:

特願2000-183817

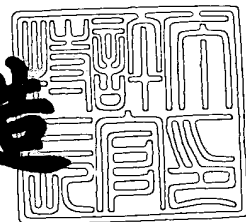
出 願 人  
Applicant(s):

株式会社半導体エネルギー研究所

2001年 4月27日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3036261

【書類名】	特許願
【整理番号】	P004997
【提出日】	平成12年 6月19日
【あて先】	特許庁長官 近藤 隆彦 殿
【国際特許分類】	H01L 21/00
【発明者】	
【住所又は居所】	神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内
【氏名】	山崎 舜平
【発明者】	
【住所又は居所】	神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内
【氏名】	三津木 亨
【発明者】	
【住所又は居所】	神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内
【氏名】	笠原 健司
【発明者】	
【住所又は居所】	神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内
【氏名】	浅見 勇臣
【発明者】	
【住所又は居所】	神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内
【氏名】	高野 圭恵
【発明者】	
【住所又は居所】	神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内
【氏名】	志知 武司

【発明者】

【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

【氏名】 小久保 千穂

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその作製方法

【特許請求の範囲】

【請求項 1】

電極を覆う絶縁膜上に半導体層を有する薄膜トランジスタが形成されている半導体装置において、

チャネル形成領域と、一導電型の不純物が添加された不純物領域とを含む半導体層を有し、

前記チャネル形成領域は、反射電子線回折パターン法で検出される  $\{101\}$  面の前記半導体層の表面となす角が  $10^\circ$  以内である割合が  $20\%$  以上であり、かつ、 $\{001\}$  面の前記半導体層の表面となす角が  $10^\circ$  以内である割合が  $3\%$  以下であり、かつ、 $\{111\}$  格子面の前記半導体層の表面となす角が  $10^\circ$  以内である割合が  $5\%$  以下であり、かつ、二次イオン質量分析法において検出される窒素及び炭素の濃度が  $5 \times 10^{18} / \text{cm}^3$  未満であり、酸素の濃度が  $1 \times 10^{19} / \text{cm}^3$  未満であることを特徴とする半導体装置。

【請求項 2】

電極を覆う絶縁膜上に半導体層を有する薄膜トランジスタが形成されている半導体装置において、

チャネル形成領域と、一導電型の不純物が添加された不純物領域とを含む半導体層を有し、

前記半導体層は、非晶質半導体膜に金属元素を添加して、加熱処理とレーザー処理により作製された結晶構造を有し、

前記チャネル形成領域は、反射電子線回折パターン法で検出される  $\{101\}$  面の前記半導体層の表面となす角が  $10^\circ$  以内である割合が  $20\%$  以上であり、かつ、 $\{001\}$  面の前記半導体層の表面となす角が  $10^\circ$  以内である割合が  $3\%$  以下であり、かつ、 $\{111\}$  格子面の前記半導体層の表面となす角が  $10^\circ$  以内である割合が  $5\%$  以下であり、かつ、二次イオン質量分析法において検出される窒素及び炭素の濃度が  $5 \times 10^{18} / \text{cm}^3$  未満であり、酸素の濃度が  $1 \times 10^{19} / \text{cm}^3$  未満であることを特徴とする半導体装置。

## 【請求項3】

画素部及び駆動回路を同一の絶縁表面上に形成した半導体装置において、  
前記画素部及び前記駆動回路における薄膜トランジスタの全てはNチャネル型であり、

電極を覆う絶縁膜上に形成された半導体層は、反射電子線回折パターン法で検出される{101}面の前記半導体層の表面となす角が10度以内である割合が20%以上であり、かつ、{001}面の前記半導体層の表面となす角が10度以内である割合が3%以下であり、かつ、{111}格子面の前記半導体層の表面となす角が10度以内である割合が5%以下であり、かつ、二次イオン質量分析法において検出される窒素及び炭素の濃度が $5 \times 10^{18} / \text{cm}^3$ 未満であり、酸素の濃度が $1 \times 10^{19} / \text{cm}^3$ 未満であることを特徴とする半導体装置。

## 【請求項4】

画素部及び駆動回路を同一の絶縁体上に形成した半導体装置において、  
前記画素部及び前記駆動回路における薄膜トランジスタの全てはPチャネル型であり、

電極を覆う絶縁膜上に形成された半導体層は、反射電子線回折パターン法で検出される{101}面の前記半導体層の表面となす角が10度以内である割合が20%以上であり、かつ、{001}面の前記半導体層の表面となす角が10度以内である割合が3%以下であり、かつ、{111}格子面の前記半導体層の表面となす角が10度以内である割合が5%以下であり、かつ、二次イオン質量分析法において検出される窒素及び炭素の濃度が $5 \times 10^{18} / \text{cm}^3$ 未満であり、酸素の濃度が $1 \times 10^{19} / \text{cm}^3$ 未満であることを特徴とする半導体装置。

## 【請求項5】

画素部及び駆動回路を同一の絶縁体上に形成した半導体装置において、  
前記画素部及び前記駆動回路における薄膜トランジスタはNチャネル型またはPチャネル型であり、

電極を覆う絶縁膜上に形成された半導体層は、反射電子線回折パターン法で検出される{101}面の前記半導体層の表面となす角が10度以内である割合が20%以上であり、かつ、{001}面の前記半導体層の表面となす角が10度

以内である割合が3%以下であり、かつ、{111}格子面の前記半導体層の表面となす角が10度以内である割合が5%以下であり、かつ、二次イオン質量分析法において検出される窒素及び炭素の濃度が $5 \times 10^{18} / \text{cm}^3$ 未満であり、酸素の濃度が $1 \times 10^{19} / \text{cm}^3$ 未満であることを特徴とする半導体装置。

【請求項6】

画素部を絶縁表面上に形成した半導体装置において、

前記画素部における薄膜トランジスタの半導体層は、電極を覆う絶縁膜上に形成され、

前記画素部における薄膜トランジスタのチャネル形成領域は、反射電子線回折パターン法で検出される{101}面の前記半導体層の表面となす角が10度以内である割合が20%以上であり、かつ、{001}面の前記半導体層の表面となす角が10度以内である割合が3%以下であり、かつ、{111}格子面の前記半導体層の表面となす角が10度以内である割合が5%以下であり、かつ、二次イオン質量分析法において検出される窒素及び炭素の濃度が $5 \times 10^{18} / \text{cm}^3$ 未満であり、酸素の濃度が $1 \times 10^{19} / \text{cm}^3$ 未満であることを特徴とする半導体装置。

【請求項7】

請求項1乃至請求項6のいずれか一項において、前記チャネル形成領域は、シリコンを主成分とし、ゲルマニウムを含有する半導体であり、前記チャネル形成領域に含まれるゲルマニウムの含有量は、0.1原子%以上10原子%以下であることを特徴とする半導体装置。

【請求項8】

請求項1乃至請求項7のいずれか一項において、前記チャネル形成領域は、前記絶縁膜との界面から膜厚方向に遠ざかるにつれてゲルマニウムの濃度が高くなる濃度勾配を有していることを特徴とする半導体装置。

【請求項9】

請求項1乃至請求項8のいずれか一項において、前記チャネル形成領域に含まれる金属元素の濃度が $1 \times 10^{17} / \text{cm}^3$ 未満であることを特徴とする半導体装置。

【請求項10】

請求項9において、前記金属元素は、Fe、Co、Ni、Ru、Rh、Pd、Os、Ir、Pt、Cu、Auから選ばれた一種または複数種であることを特徴とする半導体装置。

【請求項11】

請求項1乃至10のいずれか一項において、前記電極は、ゲート電極であることを特徴とする半導体装置である。

【請求項12】

請求項1乃至11のいずれか一項において、前記電極を覆う絶縁膜は、ゲート絶縁膜であることを特徴とする半導体装置である。

【請求項13】

請求項1乃至12のいずれか一項において、前記半導体層の厚さは20nm～100nmであることを特徴とする半導体装置。

【請求項14】

請求項1乃至13のいずれか一項において、前記半導体層の表面に対して水平に存在する格子面の間隔と、前記半導体層の表面に対して60°傾いて存在する格子面の間隔との差は、格子定数に換算した場合、0を越え0.002nm以下であることを特徴とする半導体装置。

【請求項15】

請求項1乃至請求項14のいずれか一項において、前記半導体装置は携帯電話、ビデオカメラ、携帯型情報端末、テレビ受像器、電子書籍、パーソナルコンピュータ、DVDプレーヤー、デジタルスチルカメラから選ばれた一つであることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は結晶構造を有する半導体膜で活性領域を形成した半導体装置に関する。特に、薄膜トランジスタ、或いは、該薄膜トランジスタで回路を形成した半導

体装置に関する。尚、本明細書において半導体装置とは、半導体特性を利用して機能しうる装置全般を指し、半導体集積回路、電気光学装置、電子機器は半導体装置の範疇に含まれるものとする。

#### 【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

#### 【0003】

##### 【従来の技術】

厚さ数  $n\text{ m}$  から数百  $n\text{ m}$  程度の結晶構造を有する半導体膜（以下、結晶質半導体膜という）を用いて、薄膜トランジスタ（以下、TFTという）を作製する技術が開発されている。TFTは液晶表示装置に用いるスイッチング素子として実用化が進み、近年においてはガラス基板上に半導体集積回路を形成することも可能になっている。

#### 【0004】

TFTに用いる結晶質半導体膜の材料は、主としてシリコンが用いられている。結晶構造を有するシリコン膜（以下、結晶質シリコン膜という）は、プラズマCVD法や減圧CVD法により、ガラスまたは石英などの基板上に堆積した非晶質シリコン膜を、加熱処理、或いはレーザー光の照射（以下、本明細書中においてレーザー処理という）により結晶化したものが利用されてきた。

#### 【0005】

しかし、加熱処理による場合には、非晶質シリコン膜を結晶化させるために600℃以上の温度で10時間以上の加熱処理が必要とされている。この処理温度と処理時間は、TFTの生産性を考慮すると必ずしも適切な方法とは考えられていない。TFTを用いた応用製品として液晶表示装置を考慮すると、基板の大面積化に対応するために大型の熱処理炉が必要となり、生産工程における消費エネルギーが増大するばかりか、広い面積に渡って一様な結晶を得ることが困難となる。また、レーザー処理による場合には、レーザー発振器の出力の不安定さのために、やはり均質な結晶を得ることが困難である。このような結晶の品質のばら



つきはTFTの特性ばらつきの原因となり、液晶表示装置やEL表示装置の表示品質を低下させる要因として憂慮されていた。

## 【0006】

一方、非晶質シリコン膜にシリコンの結晶化を助長する金属元素を導入し、従来よりも低い温度の加熱処理で結晶質シリコン膜を作製する技術が開示されている。例えば、特開平7-130652号公報、特開平8-78329号公報では、非晶質シリコン膜にニッケルなどの金属元素を導入し、550℃、4時間の熱処理により結晶質シリコン膜を得ている。

## 【0007】

また、こうして作製された結晶質シリコン膜を用いたTFTは、単結晶シリコン基板を用いたMOSトランジスタの特性と比べ、依然劣っていた。ガラスや石英などの異種材料上に厚さ数nmから数百nm程度の半導体膜を結晶化させたとしても、複数の結晶粒が集合して成る多結晶構造しか得ることが出来ず、結晶粒中及び結晶粒界に多数存在する欠陥によりキャリアがトラップされ、TFTの性能を拘束する要因となっていた。

## 【0008】

## 【発明が解決しようとする課題】

しかしながら、上記従来の方法で作製される結晶質シリコン膜は、その結晶方位面がランダムに存在し、特定の結晶方位に対する配向率が低かった。加熱処理またはレーザー処理により得られる結晶質シリコン膜は、複数の結晶粒が析出し、{111}に配向する傾向があるが、その面方位に配向する割合が全体の20%を越えることはなかった。

## 【0009】

配向率が低い場合、異なる方位の結晶がぶつかる結晶粒界で、格子の連続性を保持することが殆ど不可能となり、不對結合手が多く形成されると推定できる。粒界にできる不對結合手はキャリア（電子・ホール）の捕獲中心となり、輸送特性を低下させている。即ち、キャリアが散乱されたり、トラップされたりするため、このような結晶質半導体膜でTFTを作製しても高い電界効果移動度を有するTFTを期待することができない。また、結晶粒界はランダムに存在するため

、チャネル形成領域を特定の結晶方位をもつ結晶粒で形成することが不可能であり、TFTにおける電気的特性のバラツキの要因となる。

#### 【0010】

本発明はこのような問題点を解決する手段を提供することを目的とし、非晶質半導体膜を結晶化して得られる結晶質半導体膜の配向性を高め、そのような結晶質半導体膜を活性層に用いたTFTを提供することを目的とする。

#### 【0011】

##### 【課題を解決するための手段】

結晶方位の分布は反射電子回折パターン（EBSP：Electron Backscatter diffraction Pattern）により求める。EBSPは走査型電子顕微鏡（SEM：Scanning Electron Microscopy）に専用の検出器を設け、一次電子の後方散乱から結晶方位を分析する手法である（以下、この手法を便宜上EBSP法と呼ぶ）。EBSP法の測定方法は図6により説明される。電子銃（ショットキー型電界放出電子銃）101、鏡体102、試料室103は通常の走査型電子顕微鏡と同じ構成である。EBSPを測定するにはステージ104を60度程度の傾きを設け試料109を設置する。この状態で試料に向かい合うように検出器106のスクリーン105を挿入する。

#### 【0012】

ここで、結晶構造を持った試料に電子線が入射すると、後方にも非弾性散乱が起これ、その中には試料中でブラッグ回折による結晶方位に特有の線状パターン（一般に菊地像と呼ばれる）も合わせて観察される。EBSP法は検出器スクリーンに映った菊地像を解析することにより試料の結晶方位を求めている。

#### 【0013】

図7は基板121上に形成された多結晶構造の結晶質半導体膜122を示している。多結晶構造は各結晶粒が異なった結晶方位を持っていることを前提としている。試料の電子線の当たる位置を移動させつつ方位解析を繰り返す（マッピング測定）ことで、面状の試料について結晶方位または配向の情報を得ることができる。入射電子線の太さは、走査型電子顕微鏡の電子銃のタイプにより異なるが、ショットキー電界放射型の場合、10～20nmの非常に細い電子線123が

照射される。マッピング測定では、測定点数が多いほど、また測定領域が広いほど、結晶配向のより平均化した情報を得ることができる。実際には、 $100 \times 100 \mu\text{m}^2$ の領域で、10000点 ( $1 \mu\text{m}$ 間隔)  $\sim$  40000点 ( $0.5 \mu\text{m}$ 間隔)の程度の測定を行っている。

#### 【0014】

マッピング測定により各結晶粒の結晶方位がすべて求まると、膜に対する結晶配向の状態を統計的に表示できる。図8 (A)にEBSP法により求められる逆極点図の例を示す。逆極点図は多結晶体の優先配向を表示する際によく用いられるもので、試料のある特定の面(ここでは膜表面)が、どの格子面に一致しているかを集合的に表示したものである。

#### 【0015】

図8 (A)の扇形状の枠は一般に標準三角形と呼ばれるもので、この中に立方晶系における全ての指数が含まれている。またこの図中における長さは、結晶方位における角度に対応している。たとえば $\{001\}$ と $\{101\}$ の間は45度、 $\{101\}$ と $\{111\}$ の間は35.26度、 $\{111\}$ と $\{001\}$ の間は54.74度である。また、白抜きの点線は $\{101\}$ からのずれ角5度及び10度の範囲を示している。

#### 【0016】

図8 (A)は、マッピングにおける全測定点(この例では11655点)を標準三角形内にプロットしたものである。 $\{101\}$ 付近で点の密度が濃くなっていることがわかる。図8 (B)は、このような点の集中度を等高線表示したものである。ここで数値は各結晶粒が完全に無秩序な配向だと仮定した場合、すなわち標準三角形内に点を偏りなく分布させた場合に対する倍率を示しており無次元数である。

#### 【0017】

このように特定の指数(ここでは $\{101\}$ )に優先配向している事がわかった場合、その指数近傍にどの程度の結晶粒が集まっているか、その割合を数値化することで、優先配向の度合いをよりイメージしやすくなる。例えば図8 (A)に例示した逆極点図において $\{101\}$ からのずれ角5度及び10度の範囲(図中

に白点線で示す)に存在する点数の全体に対する割合を配向率として次式により求めて示すことができる。

【0018】

【数1】

$$\text{配向比率} = \frac{\begin{array}{l} \{101\} \text{ 格子面と膜表面がなす角が} \\ \text{許容値以内の測定点の数} \end{array}}{\text{測定点の全数}}$$

【0019】

この割合は、次のように説明することもできる。図8(A)のように{101}付近に分布が集中している場合、実際の膜においては図10のように、各粒の<101>方位は基板に概略垂直であるが、その周りにやや揺らぎを持って並んでいることが予想される。この揺らぎの角に許容値を5度、10度と設け、それより小さいものの割合を数値で示してゆくのである。たとえば図9では、ある結晶粒の<101>方位は、許容5度の範囲には含まれないが、許容10度の範囲には含まれていることになる。後述のデータにおいては、以上に説明したように許容ずれ角を度及び10度と定め、それを満たす結晶粒の割合を表示してゆく。

【0020】

本明細書で開示する発明の構成は、

電極を覆う絶縁膜上に半導体層を有する薄膜トランジスタが形成されている半導体装置において、

チャネル形成領域と、一導電型の不純物が添加された不純物領域とを含む半導体層を有し、

前記チャネル形成領域は、反射電子線回折パターン法で検出される{101}面の前記半導体層の表面となす角が10度以内である割合が20%以上であり、かつ、{001}面の前記半導体層の表面となす角が10度以内である割合が3%以下であり、かつ、{111}格子面の前記半導体層の表面となす角が10度以内である割合が5%以下であり、かつ、二次イオン質量分析法において検出される窒素及び炭素の濃度が $5 \times 10^{18} / \text{cm}^3$ 未満であり、酸素の濃度が $1 \times 10^{19} / \text{cm}^3$ 未満であることを特徴とする半導体装置である。

## 【0021】

また、上記構成において、前記チャネル形成領域は、シリコンを主成分とし、ゲルマニウムを含有する半導体であり、前記チャネル形成領域に含まれるゲルマニウムの含有量は、0.1原子%以上10原子%以下であることを特徴としている。また、前記半導体層の厚さは20nm～100nmであることを特徴としている。

## 【0022】

また、上記構成において、前記電極はゲート電極であり、前記絶縁膜はゲート絶縁膜であって、前記薄膜トランジスタの構造は逆スタガ型TFTである。

## 【0023】

また、上記構成において、半導体層は、非晶質半導体膜に金属元素を添加して、加熱処理とレーザー処理により作製された結晶構造を有していることを特徴としている。また、このレーザー処理の後、さらにハロゲンランプ、キセノンランプ、水銀ランプ、メタルハライドランプなどの光を照射してもよい。

## 【0024】

また、上記構成において、前記金属元素としては、Fe、Co、Ni、Ru、Rh、Pd、Os、Ir、Pt、Cu、Auから選ばれた一種または複数種を用いることができる。また、結晶質半導体膜の形成後に金属元素のゲッタリングを行い、前記チャネル形成領域に含まれる金属元素の濃度が $1 \times 10^{17} / \text{cm}^3$ 未満とすることが好ましい。

## 【0025】

また、上記構成において、前記チャネル形成領域は、前記絶縁膜（ゲート絶縁膜）との界面から膜厚方向に遠ざかるにつれてゲルマニウムの濃度が高くなる濃度勾配を有している。なお、図13には、シリコンを主成分とし、ゲルマニウムを含有する半導体層にレーザー処理を行った場合、半導体層中にゲルマニウムの濃度勾配が生じることが示されたデータである。図13（A）は10ppmのNi水溶液を用いてNiを半導体膜（シリコンを主成分とし、ゲルマニウムを含有する半導体膜）に導入した後、加熱処理（550℃、4時間）を施した試料に対して深さ方向のSIMSデータを測定した結果である。また、図13（B）は、

図 1 3 (A) の試料にさらにレーザー処理 ( $471 \text{ mJ} / \text{cm}^2$ ) を施して、深さ方向の SIMS データを測定した結果である。また、図 1 3 (C) は、図 1 3 (A) の試料にレーザー処理 ( $521 \text{ mJ} / \text{cm}^2$ ) を施した試料に対して深さ方向の SIMS データを測定した結果である。

## 【 0 0 2 6 】

また、画素部及び駆動回路を同一の絶縁表面上に形成した半導体装置において、前記画素部及び前記駆動回路における薄膜トランジスタの全てを N チャンネル型で構成することができる。なお、この薄膜トランジスタは、逆スタガ型であって、半導体層は、上述した各特徴を有する同様の  $\{101\}$  格子面の配向率が高い半導体膜である。

## 【 0 0 2 7 】

また、画素部及び駆動回路を同一の絶縁体上に形成した半導体装置において、前記画素部及び前記駆動回路における薄膜トランジスタの全てを P チャンネル型で構成することができる。なお、この薄膜トランジスタは、逆スタガ型であって、半導体層は、上述した各特徴を有する同様の  $\{101\}$  格子面の配向率が高い半導体膜である。

## 【 0 0 2 8 】

また、画素部及び駆動回路を同一の絶縁体上に形成した半導体装置において、前記画素部及び前記駆動回路における薄膜トランジスタを N チャンネル型または P チャンネル型で構成することができる。なお、この薄膜トランジスタは、逆スタガ型であって、半導体層は、上述した各特徴を有する同様の  $\{101\}$  格子面の配向率が高い半導体膜である。

## 【 0 0 2 9 】

また、画素部を絶縁表面上に形成した半導体装置において、前記画素部における薄膜トランジスタの半導体層は、電極を覆う絶縁膜上に形成された逆スタガ型であって、半導体層は、上述した各特徴を有する同様の  $\{101\}$  格子面の配向率が高い半導体膜である。

## 【 0 0 3 0 】

また、上記各構成において、前記半導体層の表面に対して水平に存在する格子

面の間隔と、前記半導体層の表面に対して $60^\circ$ 傾いて存在する格子面の間隔との差は、格子定数に換算した場合、0を越え0.002nm以下であることを特徴としている。

#### 【0031】

##### 【発明の実施の形態】

本願発明の実施形態について、以下に説明する。

#### 【0032】

本発明は{101}格子面の配向率が高い半導体膜でTFTを形成することに特徴を有している。配向率の高い結晶質半導体膜は、シリコンを主成分とし、ゲルマニウムを0.1原子%以上10原子%以下含有する半導体材料によりはじめて実現することができる。このような半導体膜を得る典型的な一実施形態は、シリコン原子及びゲルマニウム原子の水素化物またはフッ化物または塩化物によるガスを用い、プラズマCVD法または減圧CVD法により作製される非晶質半導体膜の表面に該非晶質半導体膜の結晶化を助長する金属元素を導入し、当該金属元素を利用して加熱処理により結晶質半導体膜を形成する。

#### 【0033】

本発明において、半導体膜を形成するための基板は、アルミナホウケイ酸ガラスやバリウムホウケイ酸ガラスなどの無アルカリガラス基板が適している。代表的にはコーニング社の#7059ガラス基板や#1737ガラス基板を用いる。その他に石英基板やサファイア基板を用いても良い。或いは、シリコン、ゲルマニウム、ガリウム・砒素などの半導体基板の表面に絶縁膜を形成し、これを基板としても良い。

#### 【0034】

また、基板として上記ガラス基板を用いる場合には、非晶質半導体膜とガラス基板との間に窒化シリコン、酸化シリコン、または酸化窒化シリコンなどでブロッキング層を形成する。こうして、ガラス基板中に含まれるアルカリ金属元素などの不純物元素が半導体膜中に拡散することを防ぐ。例えば、プラズマCVD法で $\text{SiH}_4$ 、 $\text{NH}_3$ 、 $\text{N}_2$ を反応ガスとして用い、窒化シリコン膜を形成する。または、 $\text{SiH}_4$ 、 $\text{N}_2\text{O}$ 、 $\text{NH}_3$ を反応ガスとして用い、酸化窒化シリコン膜を形

成する。ブロッキング層の厚さは20～200nmで形成する。

#### 【0035】

非晶質半導体膜の形成は、プラズマCVD法または減圧CVD法、その他適宜の方法により行う。プラズマCVD法を適用する場合には、 $\text{SiH}_4$ と $\text{GeH}_4$ とから成る反応ガス、或いは、 $\text{SiH}_4$ と $\text{H}_2$ で希釈した $\text{GeH}_4$ 成る反応ガスを加えて反応室に導入し、1～200MHzの高周波放電により分解し基板上に非晶質半導体膜を堆積させる。反応ガスは、 $\text{SiH}_4$ の代わりに $\text{Si}_2\text{H}_6$ または $\text{SiF}_4$ を、 $\text{GeH}_4$ の代わりに $\text{GeF}_4$ を採用しても良い。減圧CVD法を用いる場合にも同様な反応ガスを適用することが可能であり、好ましくはHeで反応ガスを希釈して、400～500℃の温度で基板上に非晶質半導体膜を堆積する。いずれにしても、本発明で用いる上記ガスは、堆積される非晶質半導体膜に取り込まれる酸素、窒素、炭素などの不純物元素の濃度を低減するために高純度に精製されたものを用いる。堆積される非晶質半導体膜の厚さは20～100nmの範囲とする。

#### 【0036】

本発明に用いる非晶質半導体膜は、シリコンを主成分としゲルマニウムを0.1原子%～10原子%未満、好ましくは1～5原子%の範囲で含有している。ゲルマニウムの含有量は、代表的な反応ガスとして用いられる $\text{SiH}_4$ と $\text{GeH}_4$ の混合比により調節することができる。また、非晶質半導体中に含まれる窒素及び炭素の濃度は $5 \times 10^{18} / \text{cm}^3$ 未満、酸素の濃度は $1 \times 10^{19} / \text{cm}^3$ 未満とし、非晶質半導体膜の結晶化の過程において、作製される結晶質半導体膜の電気的特性に悪影響が出ないようにする。

#### 【0037】

上記のように形成した非晶質半導体膜の表面に、該非晶質半導体膜の結晶化を助長する金属元素を導入する。金属元素としては、鉄(Fe)、ニッケル(Ni)、コバルト(Co)、ルテニウム(Ru)、ロジウム(Rh)、パラジウム(Pd)、オスニウム(Os)、イリジウム(Ir)、白金(Pt)、銅(Cu)、金(Au)から選ばれた一種または複数種の金属元素を用いる。これら金属元素は、本明細書に記載する何れの発明においても非晶質半導体膜の結晶化を助長



する金属元素として使用することができる。上記いずれの金属元素を用いても同質、同様の効果を得ることができるが、代表的にはニッケルを用いる。

## 【0038】

これら金属元素を導入する箇所は、非晶質半導体膜の全面、或いは非晶質半導体膜の膜面における適宜箇所のスリット状の面または点状の面などとする。前者の場合には、当該非晶質半導体膜の基板側に位置する面または基板側とは反対の面のいずれであっても良い。後者の場合には、好ましくは非晶質半導体膜上に絶縁膜が形成され、その絶縁膜に設けられた開孔を利用して金属元素を導入することができる。開孔の大きさに特に限定はないが、その幅は $10 \sim 40 \mu\text{m}$ とすることができる。また、その長手方向の長さは任意に決めれば良く、数十 $\mu\text{m}$ ～数十 $\text{cm}$ の範囲とすることができる。

## 【0039】

これらの金属元素を導入する方法は、当該金属膜を非晶質半導体膜の表面又は内部に存在させる手法であれば特に限定はなく、例えば、スパッタ法、蒸着法、プラズマ処理法（含むプラズマCVD法）、吸着法、金属塩の溶液を塗布する方法などを使用することができる。プラズマ処理法は、不活性ガスによるグロー放電雰囲気において、陰極からスパッタされる当該金属元素を利用する。また、金属塩の溶液を塗布する方法は簡易であり、金属元素の濃度調整を行いやすい点で有用である。

## 【0040】

金属塩としては各種塩を用いることが可能であり、溶媒としては水、アルコール類、アルヒドト類、エーテル類その他の有機溶媒、または水とこれらの有機溶媒の混合物を用いることができる。また、それらの金属塩が完全に溶解した溶液とは限らず、金属塩の一部または全部が懸濁状態で存在する溶液であっても良い。いずれの方法を採用するにしても、当該金属元素は非晶質半導体膜の表面又は内部に分散させて導入する。

## 【0041】

上記何れかの方法で金属元素を導入した後、当該金属元素を利用して非晶質半導体膜の結晶化を行う。結晶化は加熱処理、レーザー光または紫外線、赤外線な

どの強光の照射によって行う。加熱処理のみでも{101}に優先的に配向する結晶質シリコン膜を得ることができるが、好ましくは、加熱処理を行いその後レーザー光などの強光の照射を行う方法を適用する。加熱処理後のレーザー処理は、結晶粒内に残される結晶欠陥を修復し消滅させることができ、作製される結晶の品質を向上させる目的に対して有効な処置となる。また、レーザー処理のみでも{101}に優先的に配向する結晶質シリコン膜を得ることができるが、好ましくは、レーザー処理を行いその後ハロゲンランプ、キセノンランプ、水銀ランプ、メタルハライドランプなどを光源とした強光の照射を行う方法を適用することも可能である。

## 【0042】

加熱処理は450～1000℃の範囲で行うことが可能であるが、温度の上限は使用する基板の耐熱温度が一つの上限として考慮される。ガラス基板の場合にはその歪み点以下が上限温度の一つの根拠となる。例えば、歪み点667℃のガラス基板に対しては、660℃程度が限度と見るべきである。必要とされる時間は加熱温度や、その後の処理条件（例えばレーザー光を照射する処理の有無など）により適宜設定するが、好適には550～600℃にて4～24時間の加熱処理を行う。また、その後レーザー処理を行う場合には、500～550℃にて4～8時間の熱処理を行う。以上の加熱処理は空气中や水素雰囲気中でも良いが、好適には窒素或いは不活性ガス雰囲気中にて行う。

## 【0043】

また、ゲート電極とゲート絶縁膜を形成した後に非晶質半導体膜を上記結晶化方法で加熱する場合には、温度の上限は使用するゲート電極材料の耐熱温度を考慮する必要がある。

## 【0044】

また、レーザー処理は、波長400nm以下のエキシマレーザーや、YAGレーザーまたはYVO<sub>4</sub>レーザーの第2高調波（波長532nm）～第4高調波（波長266nm）を光源として用いて行う。これらのレーザー光は光学系にて線状またはスポット状に集光し、そのエネルギー密度を100～700mJ/cm<sup>2</sup>として照射し、上記のように集光したレーザービームを基板の所定の領域に渡って

走査させ処理を行う。その他、レーザーの代わりに、ハロゲンランプ、キセノンランプ、水銀ランプ、メタルハライドランプなどを光源としても良い。また、レーザー処理の後、ハロゲンランプ、キセノンランプ、水銀ランプ、メタルハライドランプなどの光を照射してもよい。

#### 【 0 0 4 5 】

以上のような工程により、本発明の如き { 1 0 1 } 面の配向率が高い結晶質半導体膜が得られるメカニズムは、現段階で必ずしも明らかではないが、概略以下のように推測することができる。

#### 【 0 0 4 6 】

まず、結晶化は 4 0 0 ~ 5 0 0 °C の加熱処理により金属元素とシリコンが反応してシリサイドが形成され、これが結晶核となりその後の結晶成長に寄与する。例えば、代表的な金属元素としてニッケルを用いた場合、ニッケルシリサイド（以下、 $\text{NiSi}_2$  と記する）が形成される。 $\text{NiSi}_2$  の構造はホタル石型構造であり、ダイヤモンド型構造のシリコン格子間にニッケル原子を配置した構造となっている。 $\text{NiSi}_2$  からニッケル原子が無くなるとシリコンの結晶構造が残ることになる。数々の実験の結果から、ニッケル原子は非晶質シリコン側に移動していくことが判明しており、この理由は非晶質シリコン中の固溶度の方が結晶シリコン中のそれよりも高いためであると考えられる。従って、あたかもニッケルが非晶質シリコン中を移動しながら結晶シリコンを形成するようなモデルを立案することができる。

#### 【 0 0 4 7 】

$\text{NiSi}_2$  は特定の配向性を持たないが、非晶質半導体膜の厚さを 2 0 ~ 1 0 0 nm とすると基板表面に対し平行な方向しか成長することが許されなくなる。この場合、 $\text{NiSi}_2$  と結晶シリコンの ( 1 1 1 ) 面とが接する界面エネルギーが最も小さいので、結晶質シリコン膜の表面と平行な面は ( 1 1 0 ) 面となり、この格子面が優先的に配向する。結晶成長方向が基板表面に対し平行な方向に、しかも柱状に成長する場合には、その柱状結晶を軸とした回転方向には自由度が存在するため、必ずしも ( 1 1 0 ) 面が配向するとは限らないため、その他の格子面も析出すると考えられる。

## 【 0 0 4 8 】

本発明は、結晶質半導体膜の  $\{101\}$  格子面の配向を高めるために、柱状結晶の回転方向に制約を与え、自由度を低減させる手段として非晶質シリコンに 0.1 原子%以上 10 原子%以下のゲルマニウムを含有させる手段を見いだしたものである。

## 【 0 0 4 9 】

まず、非晶質シリコンに 0.1 原子%以上 10 原子%以下のゲルマニウムを含有させると結晶核の発生密度が低下することが観測されている。図 5 はその結果を示し、非晶質シリコン膜の成膜時に添加する  $\text{GeH}_4$  の量が増加するに従い、即ち、非晶質シリコン膜に取り込まれるゲルマニウムの濃度が増加するに従い、結晶核密度が低下している傾向が示されている。結晶核である  $\text{NiSi}_2$  が形成されるとき、原子間距離の違いによりゲルマニウムは排除されつつ上述の結晶成長が起こっていることが予想される。従って、ゲルマニウムは柱状結晶の外側に偏析するような形となり、その存在が柱状結晶を軸とした回転方向の自由度を低下させていると推定する。その結果、 $(110)$  面の配向率の高い結晶質半導体膜を得ることが可能となる。

## 【 0 0 5 0 】

次に上述の本発明に基づいて作製される結晶質半導体膜について、その作製条件と E B S P 法で観測される結晶の配向性との関連について示す。表 1 はプラズマ C V D 法で作製する非晶質半導体膜の作製条件を示す。高周波電力は  $0.35 \text{ W/cm}^2$  (27 MHz) であるが、繰り返し周波数 10 kHz (デューティ比 30%) のパルス放電に変調して平行平板型のプラズマ C V D 装置の陰極に給電した。その他、共通条件として反応圧力 33.25 Pa、基板温度 300℃、電極間隔 35 mm とした。

## 【 0 0 5 1 】

【表 1】

項目		SGN30	SGN10	SGN5	SN
SiH <sub>4</sub> 流量	[sccm]	70	90	95	100
GeH <sub>4</sub> (H <sub>2</sub> ベース 10%)流量	[sccm]	30	10	5	0
RF power	[W/cm <sup>2</sup> ]	0.35	←	←	←
パルス周波数	[KHz]	10	←	←	←
Duty	[%]	30	←	←	←
圧力	[Pa]	33.25	←	←	←
基板温度(T <sub>sub</sub> )	[°C]	300	←	←	←
電極間隔(GAP)	[mm]	35	←	←	←

## 【0052】

そして、シリコンに対するゲルマニウムの含有量を変化させるために、合計流量が一定になるようにして、SiH<sub>4</sub>とH<sub>2</sub>で10%に希釈したGeH<sub>4</sub>のガス流量の混合比を変化させている。表1に記載の条件において、成膜条件#SGN30、#SGN10、#SGN5ではH<sub>2</sub>で10%に希釈したGeH<sub>4</sub>の流量を30、10、5SCCMと変化させている。SiH<sub>4</sub>の純度は99.9999%以上のものを、またGeH<sub>4</sub>は窒素、炭化水素化合物が1ppm以下、CO<sub>2</sub>が2ppm以下の高純度品を用いた。また、#SNはGeH<sub>4</sub>を添加しない条件である。堆積する非晶質半導体膜の厚さは全ての試料において50nmとした。

## 【0053】

このような条件で作製される非晶質半導体膜に含まれる窒素、炭素、酸素のそれぞれの含有量は二次イオン質量分析法(SIMS)によって測定されている。図4はその結果を示す。測定に用いた試料は、シリコン基板上に#SN、#SGN5、#SGN10の順に積層したものであるが、いずれの成膜条件においても窒素、炭素の含有量は $5 \times 10^{18} / \text{cm}^3$ 未満、酸素の含有量は $1 \times 10^{19} / \text{cm}^3$ 未満である。

## 【0054】

こうして作製された非晶質半導体膜の結晶化は、金属元素としてニッケルを用い、窒素雰囲気中550℃にて4時間の加熱処理及びレーザー処理で行った。ニッケルは酢酸ニッケルを含有する水溶液を用い、スピナーで塗布した。また、レーザー処理はXeClエキシマレーザー(波長308nm)を用い、照射エネルギー

密度  $300 \sim 600 \text{ mJ/cm}^2$ 、重ね合わせ率  $90 \sim 95\%$  で照射した。レーザー処理は加熱処理により結晶化した膜の未結晶化部分の結晶化や、結晶粒内に欠陥を補修するために行った。

## 【0055】

結晶質半導体膜に残存する欠陥は水素化処理により、 $0.01 \sim 1$  原子%程度の水素を含有させることにより効果的に低減させることができる。水素化は水素を含む雰囲気中で  $350 \sim 500^\circ\text{C}$  の加熱処理により行うことができる。また、プラズマにより生成された水素を用いて水素化を行うことも可能である。また、 $\text{SiF}_4$ 、 $\text{GeF}_4$  などのフッ化物により堆積された膜は  $0.001 \sim 1$  原子%程度のフッ素が膜中に残存し、欠陥を補償する元素となる。

## 【0056】

図3は、こうして結晶化した#SGN10と#SGN30のゲルマニウム濃度をSIMSにより評価した結果を示す。シリコンに対してゲルマニウムの含有量は、#SGN5で1.5原子%、#SGN10では3.5原子%、#SGN10では11.0原子%の濃度で含まれている。 $\text{SiH}_4$  に対する  $\text{GeH}_4$  の流量比から換算すると、シリコンに対してゲルマニウムは3～4倍の割合で膜中に取り込まれている。これは、 $\text{SiH}_4$  に対し  $\text{GeH}_4$  の方がグロー放電にて分解するエネルギーが小さいためである。

## 【0057】

結晶方位の詳細はEBSP法により求めている。図1は表1に示した#SGN10の条件で作製した非晶質シリコン膜を用い、添加する酢酸ニッケルを含有する水溶液のニッケル濃度を1ppm、3ppm、10ppm、30ppmとした場合の結晶質シリコン膜の逆極点図をそれぞれ示している。結晶化の条件は、 $580^\circ\text{C}$  にて4時間の加熱処理を行ったものである。結晶の配向率は $\{101\}$ に強く配向して、その他に $\{001\}$ と $\{111\}$ の中間にある $\{311\}$ 面に配向している傾向が見られる。 $\{101\}$ の配向率はニッケルの濃度依存性が見られ、低濃度になるに従い配向率が高くなっている。図2は $\{101\}$ 配向率のニッケル濃度依存性を示すグラフであり、 $\text{GeH}_4$ の添加量が5sccmと10sccmである場合を示している。配向率は#SGN10の場合にニッケル濃度と

強い相関を示し、ニッケル濃度 0. 1 p p m の時に 6 1 % の配向率、ニッケル濃度 0. 3 p p m の時に 6 0 % の配向率が得られている。

## 【 0 0 5 8 】

一方、図 4 4 は、Ge を含まない非晶質シリコン膜（# S N）を用い、添加する酢酸ニッケルを含有する水溶液のニッケル濃度を 1 0 p p m として、5 5 0 ° C、4 時間の加熱処理及びレーザー処理で得られた場合の結晶質シリコン膜の逆極点図をそれぞれ示している。また、レーザー処理は X e C l エキシマレーザー（波長 3 0 8 n m）を用い、照射エネルギー密度 3 0 0 ~ 6 0 0 m J / c m<sup>2</sup>、重ね合わせ率 9 0 ~ 9 5 % で照射した。図 4 4 から、試料では { 1 0 1 } 面と、{ 0 0 1 } と { 1 1 1 } の中間にある { 3 1 1 } 面に配向している傾向が見られる。

## 【 0 0 5 9 】

表 2 は逆極点図を基にして、各種試料について { 1 0 1 }、{ 0 0 1 }、{ 1 1 1 }、{ 1 1 3 } の配向率を、各格子面が膜表面となす角度が 5 度以内、及び 1 0 度以内の範囲にある割合を求めた結果を示している。

## 【 0 0 6 0 】

【表 2】

試料	単位%							
	{101}		{001}		{111}		{113}	
	10°	5°	10°	5°	10°	5°	10°	5°
#SGN30	19	1	8	2	7	3	19	5
#SGN10	31	14	1	0	3	1	10	3
#SGN5	20	6	1	0	3	0	12	3
#SN	12	3	1	0	7	2	15	3
#HS	4	1	10	3	12	6	18	4

## 【 0 0 6 1 】

表 2 において試料（# H S）では { 1 1 3 } と { 1 1 1 } の配向率が高く、それぞれ 1 8 %（1 0 度以内）、1 2 %（1 0 度以内）となっている。また、# S N では { 1 0 1 } と { 3 1 1 } の配向率が高くなっている。{ 3 1 1 } は対称性の立場から等価な格子面の数が他と比較して最も多く、ランダムに配向する多結晶体では発生する確率がその分高くなる。

## 【0062】

一方、ゲルマニウムを添加した#SGN30、#SGN10、#SGN5においても試料内の比較において傾向が見られ、膜中に含有するゲルマニウム濃度により結晶の配向が変化することを示している。#SGN10、#SGN5で特に注目される傾向は、他の格子面に対して{101}格子面の配向が強く、#SGN10ではずれ角10度以内が31%、5度以内でも14%となっている。また、#SGN5ではずれ角10度以内が20%、5度以内で6%となっている。このような{101}格子面に対する高い配向率はゲルマニウムを添加しない他の試料では達成されない新規な効果が得られている。

## 【0063】

しかし、#SGN30において、膜中に含有するゲルマニウムの含有量が11原子%に増加すると{101}格子面の配向率は低下してしまうことが示されている。また、#SGN5において1.5原子%に低下しても配向率が20%低下している。従って、この結果が意味するところは、{101}の配向率を高めるためには非晶質シリコン膜中に含有させるゲルマニウムの濃度には適した範囲があり、その濃度範囲は0.1原子%から10原子%、好ましくは1~5原子%程度であることがわかる。

## 【0064】

勿論、このような{101}格子面に対して高い配向性を示す結晶質半導体膜は、添加するゲルマニウムの濃度を0.1原子%以上10原子%以下の範囲で添加するだけでなく、膜中に含まれる酸素、窒素、炭素の元素の濃度を $1 \times 10^{19} / \text{cm}^3$ 未満にすること、及び膜厚を20~100nmの範囲として、基板表面と平行な方向の成長が支配的となるようにすることの相乗効果により達成される。

## 【0065】

このような{110}格子面の配向率の高い結晶質半導体膜はTFTのチャネル形成領域、光起電力素子の光電変換層など素子の特性を決定付けるチャネル形成領域に好適に用いることができる。

## 【0066】



また、格子面間隔の測定はX線回折法により求めている。

## 【 0 0 6 7 】

X線回折法では、回折角 $2\theta$ をスキャンしながら回折強度の測定を行う。このとき強度がピークとなった $2\theta$ の測定からブラッグの式( $2d \sin \theta = \lambda$ 、 $\lambda$ はX線の波長)格子面間隔 $d$ を求めることができる。ここで $2\theta$ スキャンを遅くしてピーク位置を精密に求めると、格子に加わっている歪についての情報も得ることができる。

## 【 0 0 6 8 】

多結晶シリコン膜(試料B)と、Geを含ませた(成膜時ガス流量10sccm)シリコン膜(試料A)について測定を行い、 $d$ 値を比較した結果が表3である。

## 【 0 0 6 9 】

【表3】

試料の測定

試料	測定指数	Psi [°]	$2\theta$ [°]	$2\theta$ [°] (補正後)	$d$ [nm]	$a$ [nm]	$\Delta a$ [nm]
A	(440)	0	106.9092		0.0960934	0.54359	0.00164
		60	106.4369	106.4449	0.0963836	0.54523	
B	(220)	0	47.4447		0.1918942	0.54276	0.00272
		60	47.2188	47.1934	0.1928572	0.54548	

## 【 0 0 7 0 】

両試料とも石英基板を使用し、膜厚54nmとして各条件をそれぞれ、Ni添加10ppm水溶液、結晶化(500℃で1時間の加熱処理と、580℃で8時間の加熱処理)とした。測定は半導体膜に平行な格子面のほか、図4-2及び図4-3に示すように試料にあおり角を持たせることにより、半導体膜から60°の角を持った格子面についても行った。この様子を模式的に図4-3(a)及び図4-3(b)に示す。

## 【 0 0 7 1 】

また、 $2\theta$ の大きい回折を用いたほうが測定精度は向上する。両試料で配向の違いにより測定できる回折が異なっていたが、それぞれについて予備測定により $2\theta$ の最も大きい回折を調べ、それらについて測定を行った。本測定に用いた回折は、試料Bでは(440)、試料Aでは(220)であった。

## 【 0 0 7 2 】

あおり角を持たせた場合、 $2\theta$  の値には装置の X 線光学系に特有の系統的なずれが生じる。このずれはわずかであるが、本測定ではその影響が無視できなくなるため、あらかじめ標準試料(無配向のタングステン粉末)を用いてあおり角  $0^\circ$ 、 $60^\circ$  で  $2\theta$  値の測定を行い、そのときのずれ量を用いて補正を行った。標準試料の測定結果を表 4 に示す。

## 【 0 0 7 3 】

【表 4】

タングステン標準試料の測定

測定指数	Psi[ $^\circ$ ]	$2\theta$ [ $^\circ$ ]	$\Delta 2\theta$ [ $^\circ$ ]
(310)	0	100.628	-0.0080
	60	100.620	
(110)	0	40.2444	0.0254
	60	40.2698	

## 【 0 0 7 4 】

ここでは多結晶試料の本測定における指数と  $2\theta$  が近い回折を選んでいる。すなわち試料 A では (440) 回折 ( $2\theta = 106^\circ$  付近) を測定したので、タングステンの (310) 回折 ( $2\theta = 100.628^\circ$ ) で補正を行った。一方、試料 B では (220) 回折 ( $2\theta = 47^\circ$  付近) を測定したので、タングステンの (110) 回折 ( $2\theta = 40.2444^\circ$ ) で補正を行った。

## 【 0 0 7 5 】

また、表 3 に示したように、あおり角 Psi で比較すると、どちらの試料も  $0^\circ$  に比べ  $60^\circ$  の場合のほうが d 値は大きく、従って格子が膜に水平方向に伸びた歪を有していることがわかる。格子定数 a に換算して試料間の比較を行うと、Ge を含ませた試料では両者の差は  $0.00164 \text{ nm}$  であるのに対して、含ませていないものでは  $0.00272 \text{ nm}$  と、より大きい値になっている。従って非晶質シリコン膜成膜時に Ge を含ませることで、結晶化後の膜の歪を緩和させることができる。

## 【 0 0 7 6 】

以下に、上記ゲルマニウムを含む結晶質シリコン膜の作製方法を詳細に説明す

る。

# 【0077】

## (実施の形態1)

図11で説明する結晶質半導体膜の作製方法は、ゲルマニウムを含む非晶シリコン膜の全面にシリコンの結晶化を助長する金属元素を添加して結晶化を行う方法である。まず、図11において、ガラス基板201はコーニング社の#1773ガラス基板に代表されるガラス基板を用いる。基板201の表面には、ブロッキング層202としてプラズマCVD法で $\text{SiH}_4$ と $\text{N}_2\text{O}$ を用い酸化窒化シリコン膜を100nmの厚さに形成する。ブロッキング層202はガラス基板に含まれるアルカリ金属がこの上層に形成する半導体膜中に拡散しないために設ける。

# 【0078】

ゲルマニウムを含む非晶質シリコン膜203はプラズマCVD法により作製し、 $\text{SiH}_4$ と、 $\text{H}_2$ で10%に希釈された $\text{GeH}_4$ ガスとを反応室に導入し、グロー放電分解して基板201上に堆積させる。その詳細な条件は表1に従うが、ここで採用される条件は#SGN5または#SGN10の条件、或いはその中間的な条件である。このゲルマニウムを含む非晶質シリコン膜203の厚さは50nmの厚さで形成する。ゲルマニウムを含む非晶質シリコン膜203の酸素、窒素、炭素などの不純物を極力低減するために、 $\text{SiH}_4$ は純度99.9999%以上のものを、 $\text{GeH}_4$ は純度99.99%以上のガスを用いる。また、プラズマCVD装置の仕様としては、反応室の容積13Lの反応室に対し、一段目に排気速度800L/秒の複合分子ポンプ、二段目に排気速度40m<sup>3</sup>/hrのドライポンプを設け、排気系側から有機物の蒸気が逆拡散してくるのを防ぐと共に、反応室の到達真空度を高め、非晶質半導体膜の形成時に不純物元素が膜中に取り込まれることを極力防いでいる。

# 【0079】

そして図11(B)で示すように、重量換算で10ppmのニッケルを含む酢酸ニッケル塩溶液をスピナーで塗布してニッケル含有層204を形成する。この場合、当該溶液の馴染みをよくするために、ゲルマニウムを含む非晶質シリコン膜203の表面処理として、オゾン含有水溶液で極薄い酸化膜を形成し、その酸

化膜をフッ酸と過酸化水素水の混合液でエッチングして清浄な表面を形成した後、再度オゾン含有水溶液で処理して極薄い酸化膜を形成しておく。シリコンの表面は本来疎水性なので、このように酸化膜を形成しておくことにより酢酸ニッケル塩溶液を均一に塗布することができる。

#### 【0080】

次に、500℃にて1時間の加熱処理を行い、ゲルマニウムを含む非晶質シリコン膜中の水素を放出させる。そして、550℃にて4時間に加熱処理を行い結晶化を行う。こうして、{110}格子面の配向率の高い結晶質半導体膜205が形成される。(図11(C))

#### 【0081】

さらに結晶化率(膜の全体積における結晶成分の割合)を高め、結晶粒内に残される欠陥を補修するために、結晶質半導体膜205に対してレーザー光206を照射するレーザー処理を行う。レーザーは波長308nmにて30Hzで発振するエキシマレーザー光を用いる。当該レーザー光は光学系にて400~600mJ/cm<sup>2</sup>に集光し、90~95%のオーバーラップ率をもってレーザー処理を行う。こうして図11(D)に示す結晶質半導体膜207を得ることができる。

#### 【0082】

##### (実施の形態2)

非晶質半導体膜の結晶化を助長する金属元素を選択的に形成する方法を図12(A)を用いて説明する。図12(A)において、基板220は前述のガラス基板または石英基板を採用する。ガラス基板を用いる場合には、実施の形態1と同様にブロッキング層を設ける。

#### 【0083】

ゲルマニウムを含む非晶質シリコン膜221は実施の形態と同様にプラズマCVD法で形成しても良いし、イオン注入法またはイオンドープ法によりゲルマニウムを導入しても良い。また、減圧CVD法で、Si<sub>2</sub>H<sub>6</sub>とGeH<sub>4</sub>を450~500℃の温度で分解して形成する方法も採用可能である。

#### 【0084】

そして、ゲルマニウムを含む非晶質シリコン膜 221 上に 150 nm の厚さの酸化シリコン膜 222 を形成する。酸化シリコン膜の作製方法は限定されないが、例えば、オルトケイ酸テトラエチル (Tetraethyl Ortho Silicate: TEOS) と  $O_2$  とを混合し、反応圧力 40 Pa、基板温度 300~400℃ とし、高周波 (13.56 MHz) 電力密度 0.5~0.8 W/cm<sup>2</sup> で放電させ形成する。

#### 【0085】

次に、酸化シリコン膜 222 に開孔部 223 を形成し、重量換算で 10 ppm のニッケルを含む酢酸ニッケル塩溶液を塗布する。これにより、ニッケル含有層 724 が形成され、ニッケル含有層 224 は開孔部 223 の底部のみでゲルマニウムを含む非晶質シリコン膜 221 と接触する。

#### 【0086】

結晶化は、加熱処理の温度 500~650℃ で 4~24 時間、例えば 570℃ にて 14 時間の熱処理を行う。この場合、結晶化はニッケルが接した非晶質シリコン膜の部分が最初に結晶化し、そこから基板の表面と平行な方向に結晶化が進行する。こうして形成された結晶質シリコン膜 225 は棒状または針状の結晶が集合して成り、その各々の結晶は巨視的に見ればある特定の方向性をもって成長している。その後、酸化シリコン膜 222 を除去すれば結晶質シリコン膜 225 を得ることができる。

#### 【0087】

##### (実施の形態 3)

実施の形態 1 及び実施の形態 2 で説明した方法に従って作製される結晶質シリコン膜には結晶化において利用した金属元素が残存している。それは膜中において一様に分布していないにしろ、平均的な濃度とすれば、 $1 \times 10^{19}$ /cm<sup>3</sup> を越える濃度で残存している。勿論、このような状態でも TFT をはじめ各種半導体装置のチャネル形成領域に用いることが可能であるが、より好ましくは、ゲッタリングにより当該金属元素を除去することが望ましい。

#### 【0088】

本実施の形態はゲッタリング方法の一例を図 12 (B) を用いて説明する。図

1 2 (B) の (a) において、基板 2 3 0 はガラス基板、或いは石英基板が採用される。ガラス基板を用いる場合には、実施の形態 1 と同様にブロッキング層を設ける。結晶質シリコン膜 2 3 1 の表面には、マスク用の酸化シリコン膜 2 3 2 が 1 5 0 n m の厚さに形成され、開孔部 2 3 3 が設けられ結晶質シリコン膜が露出した領域が設けられている。実施の形態 2 に従う場合には、図 1 2 (A) の (a) で示した酸化シリコン膜 2 2 2 をそのまま利用することが可能であり、図 1 2 (A) の (b) 工程の後からそのまま本実施の形態の工程 (図 1 2 (B) の (a) ) に移行することもできる。そして、イオンドープ法によりリンを添加して、 $1 \times 10^{19} \sim 1 \times 10^{22} / \text{cm}^3$  の濃度のリン添加領域 2 3 5 を形成する。

## 【 0 0 8 9 】

そして、図 1 2 (B) の (b) に示すように、窒素雰囲気中で 5 5 0 ~ 8 0 0 °C、5 ~ 2 4 時間、例えば 6 0 0 °C にて 1 2 時間の熱処理を行うと、リン添加領域 2 3 5 がゲッタリングサイトとして働き、結晶質シリコン膜 2 3 1 に残存していた金属元素はリン添加領域 2 3 5 に偏析させることができる。

## 【 0 0 9 0 】

その後、図 1 2 (B) の (c) で示すようにマスク用の酸化シリコン膜 2 3 2 と、リンが添加領域 2 3 5 とをエッチングして除去することにより、結晶化の工程で使用した金属元素の濃度が  $1 \times 10^{17} / \text{cm}^3$  未満にまで低減された結晶質シリコン膜 2 3 6 を得ることができる。

## 【 0 0 9 1 】

なお、本明細書で例示する T F T は逆スタガ型の T F T であるため、非晶質半導体膜を形成する前にあらかじめゲート電極と、ゲート電極を覆うゲート絶縁膜を形成している。このゲート絶縁膜上に非晶質半導体膜を形成し、上記実施の形態 1 ~ 3 のいずれかを自由に組み合わせて { 1 1 0 } 格子面の配向率の高い結晶質半導体膜を形成すればよい。

## 【 0 0 9 2 】

以上の構成でなる本願発明について、以下に示す実施例でもってさらに詳細な説明を行うこととする。

## 【 0 0 9 3 】

## 【実施例】

## [実施例 1]

ここでは、Nチャネル型の逆スタガ型TFTを作製する例について図14を用い、以下に説明する。

## 【0094】

まず、基板11を用意する。基板11としては、ガラス基板、石英基板、結晶性ガラスなどの絶縁性基板等を用いることができる。なお、基板からの不純物の拡散を防止してTFTの電気特性を向上させるための下地膜を設ける構成としてもよい。下地膜を設ける場合、その下地膜の材料としては、酸化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜( $\text{SiO}_x\text{Ny}$ )、またはこれらの積層膜等を100~500nmの膜厚範囲で用いることができ、形成手段としては熱CVD法、プラズマCVD法、蒸着法、スパッタ法、減圧熱CVD法等の形成方法を用いることができる。或いは、シリコン、ゲルマニウム、ガリウム・砒素などの半導体基板の表面に絶縁膜を形成し、これを基板としても良い。

## 【0095】

次いで、単層構造または積層構造を有するゲート配線(ゲート電極含む)12を形成する。ゲート配線12の形成手段としては熱CVD法、プラズマCVD法、減圧熱CVD法、蒸着法、スパッタ法等を用いて10~1000nm、好ましくは30~300nmの膜厚範囲の導電膜を形成した後、公知のパターニング技術で形成する。また、ゲート配線12の材料としては、導電性材料または半導体材料を主成分とする材料、例えばTa(タンタル)、Mo(モリブデン)、Ti(チタン)、W(タングステン)、クロム(Cr)等の高融点金属材料、これら金属材料とシリコンとの化合物であるシリサイド、N型又はP型の導電性を有するポリシリコン等の材料、低抵抗金属材料Cu(銅)、Al(アルミニウム)等を主成分とする材料層を少なくとも一層有する構造であれば特に限定されることがなく用いることができる。なお、ゲート配線の下層を低抵抗金属材料とし上層を高融点金属材料とした積層構造が好ましく、例えばAl(下層)とTa(上層)の積層構造、Al(下層)とW(上層)の積層構造、Al(下層)とCu(上層)の積層構造が望ましい。また、ゲート配線を保護するための陽極酸化膜または

酸化膜を形成する構成としてもよい。

#### 【0096】

次いで、ゲート絶縁膜を形成する。ゲート絶縁膜としては、酸化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜 ( $\text{SiO}_x\text{Ny}$ )、有機樹脂膜 (BCB (ベンゾシクロブテン) 膜)、またはこれらの積層膜等を  $100 \sim 400 \text{ nm}$  の膜厚範囲で用いることができる。下地膜の形成手段としては熱CVD法、プラズマCVD法、減圧熱CVD法、蒸着法、スパッタ法、塗布法等の形成方法を用いることができる。ここでは図14 (A) に示すように、積層構造のゲート絶縁膜 13a、13b を用いた。下層のゲート絶縁膜 13a は、基板やゲート配線からの不純物の拡散を効果的に防止する窒化シリコン膜等を膜厚  $10 \text{ nm} \sim 60 \text{ nm}$  の膜厚範囲で形成する。

#### 【0097】

次いで、非晶質半導体膜を成膜する。非晶質半導体膜 104 としては、シリコンを主成分としゲルマニウムを  $0.1 \text{ 原子}\% \sim 10 \text{ 原子}\%$  未満、好ましくは  $1 \sim 5 \text{ 原子}\%$  の範囲で含有している非晶質シリコンゲルマニウム膜または非晶質シリコン膜との積層膜を  $20 \sim 100 \text{ nm}$ 、より好ましくは  $20 \sim 60 \text{ nm}$  の膜厚範囲で用いることができる。非晶質半導体膜の形成手段としては熱CVD法、プラズマCVD法、減圧熱CVD法、蒸着法、スパッタ法等の形成方法を用いることができる。

#### 【0098】

なお、上記ゲート絶縁膜 13a、13b と非晶質半導体膜とを大気にさらすことなく連続成膜すれば、不純物がゲート絶縁膜と非晶質半導体膜との界面に混入しないため良好な界面特性を得ることができる。

#### 【0099】

次いで、非晶質半導体膜の結晶化処理を行い、結晶質半導体膜を形成した後、得られた結晶質半導体膜を所望の形状にパターニングする。(図14 (A)) なお、半導体膜のパターニングを行う工程順序は特に限定されず、例えば不純物元素の添加後に行ってもよい。結晶化処理としては、実施の形態1及び2に示した方法のうちいずれか一を用いればよい。さらに実施の形態3を用いて結晶質半導



体膜中に含まれる金属元素をゲッタリングしてもよい。また、この結晶化処理の直前に非晶質半導体膜表面の自然酸化膜をバッファーフッ酸等のフッ酸系のエッチャントで除去すると、表面付近のシリコンの結合手が水素終端されて不純物と結合しにくくなり、良好な結晶質半導体膜を形成することができるため好ましい。

#### 【0100】

次いで、結晶質半導体層14上に絶縁層15を形成する。この絶縁層15は不純物元素の添加工程時にチャネル形成領域を保護する。この絶縁層15としては、酸化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜( $\text{SiO}_x\text{N}_y$ )、有機樹脂膜(BCB膜)、またはこれらの積層膜等を100~400nmの膜厚範囲で用いることができる。絶縁層15は、公知のパターニング技術、例えば通常の露光や裏面露光等を用いて形成する。(図14(B))

#### 【0101】

次いで、フォトマスクを用いてレジストマスク16を形成し、結晶質半導体膜にn型を付与する不純物元素を添加するドーピング工程を行ない、第1の不純物領域(n+領域)17a、18aを形成する。(図15(C))半導体材料に対してn型を付与する不純物元素としては、15族に属する不純物元素、例えばP、As、Sb、N、Bi等を用いることができる。この工程では、プラスマドーピング法によりドーピング条件(ドーズ量、加速電圧等)を適宜設定して表面が露出している結晶質半導体膜にP(リン)を添加する。他のドーピング方法としてイオン注入法を用いることもできる。また、この第1の不純物領域17aは高濃度不純物領域であり、後のソース/ドレイン領域となるのでTFT作製完了時のシート抵抗が500 $\Omega$ 以下(好ましくは300 $\Omega$ 以下)となるように、ドーズ量を設定する。

#### 【0102】

次いで、レジスト16を除去した後、絶縁層15をマスクとしてn型を付与する不純物元素を添加する2回目のドーピング工程を行ない、第2の不純物領域(n-領域)19、20を形成する。こうして形成される第2の不純物領域112は低濃度不純物領域(以下、LDD領域)として機能するものである。なお、第

2の不純物領域19、20のリンの濃度は、SIMS分析で $1 \times 10^{15} \sim 1 \times 10^{17} \text{ atoms / cm}^3$ の範囲とすることが望ましい。この工程において、第1の不純物領域17a、18aには、さらに不純物が添加されて第1の不純物領域17b、18bが形成され、絶縁層15の直下には実質的に真性な結晶質半導体領域21（以下、チャネル形成領域）が残る。なお、本明細書中で実質的に真性とは、シリコンのフェルミレベルを変化させうる量の不純物元素を含まない領域、即ち、しきい値制御が可能な濃度範囲でN型またはP型を付与する不純物を含む領域、または意図的に逆導電型不純物を添加することにより導電型を相殺させた領域を示す。

#### 【0103】

また、2回目のドーピングを行う前に絶縁膜を半導体層上に形成して、その絶縁膜の膜厚によりドーピング量を低濃度に制御してもよい。

#### 【0104】

次いで、全面に層間絶縁膜22を形成する。層間絶縁膜22としては酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜、有機性樹脂膜（ポリイミド膜、BCB膜等）のいずれか或いはそれらの積層膜を用いることができる。

#### 【0105】

次いで、層間絶縁膜22の形成後、または層間絶縁膜22形成前にファーンেসアニール、レーザーアニールまたはランプアニールにより不純物イオンの活性化およびドーピング時の損傷の回復を図る。この工程の際、同時に、結晶化の際に触媒として使用したニッケルガリンを含む不純物領域（17b、18b、19、20）にゲッタリングされ、主にチャネル形成領域となる半導体層中のニッケル濃度が低減される。このようにして作製したチャネル形成領域を有するTFETはオフ電流値が下がり、結晶性が良いことから高い電界効果移動度が得られ、良好な特性を達成することができる。

#### 【0106】

そして、公知の技術を用いてコンタクトホールを形成した後、配線23、24を形成して、図14（F）に示す状態を得る。この配線23、24はソース配線またはドレイン配線として機能する。最後に水素雰囲気中で熱処理を行い、全体

を水素化してNチャネル型TFTが完成する。

【0107】

なお、本実施例は上記ドーピング順序（n+ 領域→n- 領域）とする工程に限定されず、例えば、n- 領域→n+ 領域の順とする工程、またはn+領域のみを形成する工程とすることも可能である。

【0108】

また、上記本実施例においては、活性層のパターニングを絶縁層15の形成前に行う例を示したが、特に限定されず、例えば結晶化工程前、またはドーピング前、または活性化工程の後に行ってもよい。

【0109】

また、上記本実施例においてチャネル形成領域へ微量な不純物元素の添加を行ない、TFTのしきい値制御を行う工程（チャネルドーピング工程とも呼ぶ）を加えてもよい。

【0110】

また、プラスチック基板を用いて軽量化を図る場合には、基板とゲート絶縁膜の間に分離層と下地絶縁膜を形成し、結晶化工程での熱処理後に固定基板を利用して基板と下地絶縁膜を分離した後、下地絶縁膜とプラスチック基板を貼り合わせればよい。

【0111】

本実施例で示すNチャネル型TFTを用いてNAND回路、NOR回路のような基本論理回路を構成したり、さらに複雑なロジック回路（信号分割回路、オペアンプ、 $\gamma$ 補正回路など）をも構成することができる。

【0112】

なお、本実施例に示すTFTは、チャネル形成領域となる半導体に周期表の15族に属する元素（好ましくはリン）もしくは周期表の13族に属する元素（好ましくはボロン）を添加することによりエンハンスメント型とデプレッション型とを作り分けることができる。

【0113】

また、Nチャネル型TFTを組み合わせてNMOS回路を形成する場合、エンハ

ンスメント型TFT同士で形成する場合（以下、EEMOS回路という）と、エンハンスメント型とデプレッション型とを組み合わせで形成する場合（以下、EDMOS回路という）がある。

## 【0114】

ここでEEMOS回路の例を図15（A）に、EDMOS回路の例を図15（B）に示す。図15（A）において、31、32はどちらもエンハンスメント型のNチャネル型TFT（以下、E型NTFTという）である。また、図15（B）において、33はE型NTFT、34はデプレッション型のNチャネル型TFT（以下、D型NTFTという）である。

## 【0115】

なお、図15（A）、（B）において、 $V_{DH}$ は正の電圧が印加される電源線（正電源線）であり、 $V_{DL}$ は負の電圧が印加される電源線（負電源線）である。負電源線は接地電位の電源線（接地電源線）としても良い。

## 【0116】

さらに、図15（A）に示したEEMOS回路もしくは図15（B）に示したEDMOS回路を用いてシフトレジスタを作製した例を図16に示す。図16において、40、41はフリップフロップ回路である。また、42、43はE型NTFTであり、E型NTFT42のゲートにはクロック信号（CL）が入力され、E型NTFT43のゲートには極性の反転したクロック信号（CLバー）が入力される。また、44で示される記号はインバータ回路であり、図16（B）に示すように、図15（A）に示したEEMOS回路もしくは図15（B）に示したEDMOS回路が用いられる。従って、液晶表示装置の駆動回路を全てNチャネル型TFTで構成することも可能である。

## 【0117】

また、本実施例で示すNチャネル型TFTを用いて画素部の画素TFTを形成することができる。図17（A）は、画素部の画素の一つを拡大した上面図であり、図17（A）において、点線A-A'で切断した部分が、図17（B）の画素部の断面構造に相当する。

## 【0118】

画素部において、画素TFT部はNチャネル型TFTで形成されている。基板上51にゲート電極52が形成され、その上に窒化珪素からなる第1絶縁膜53a、酸化珪素からなる第2絶縁膜53bが設けられている。また、第2絶縁膜上には、活性層としてn+領域54～56と、チャネル形成領域57、58と、前記n+型領域とチャネル形成領域の間にn-型領域59、60が形成される。また、チャネル形成領域57、58は絶縁層61、62で保護される。絶縁層61、62及び活性層を覆う第1の層間絶縁膜63にコンタクトホールを形成した後、n+領域54に接続する配線64が形成され、n+領域56に配線65が接続され、さらにその上にパッシベーション膜66が形成される。そして、その上に第2の層間絶縁膜67が形成される。さらに、その上に第3の層間絶縁膜68が形成され、ITO、SnO<sub>2</sub>等の透明導電膜からなる画素電極69が配線65と接続される。また、70は画素電極69と隣接する画素電極である。

## 【0119】

本実施例では一例として透過型の液晶表示装置の例を示したが特に限定されない。例えば、画素電極の材料として反射性を有する金属材料を用い、画素電極のパターニングの変更、または幾つかの工程の追加／削除を適宜行えば反射型の液晶表示装置を作製することが可能である。

## 【0120】

なお、本実施例では、画素部の画素TFTのゲート配線をダブルゲート構造としているが、オフ電流のバラツキを低減するために、トリプルゲート構造等のマルチゲート構造としても構わない。また、開口率を向上させるためにシングルゲート構造としてもよい。

## 【0121】

また、画素部の容量部は、第1絶縁膜及び第2絶縁膜を誘電体として、容量配線71と、n+領域56とで形成されている。

## 【0122】

なお、図17で示した画素部はあくまで一例に過ぎず、特に上記構成に限定されないことはいふまでもない。

## 【0123】

従って、図 1 5、図 1 6 に示した回路を用いた駆動回路と、図 1 7 に示した画素部とを同一基板上に形成することによって、アクティブマトリクス基板上の全ての T F T を N チャネル型 T F T とすることができる。アクティブマトリクス基板上の全ての T F T を N チャネル型 T F T で構成すれば、P チャネル型 T F T を形成する工程を省略できるため、液晶表示装置の製造工程を簡略化することができる。また、それに伴って製造工程の歩留まりが向上し、液晶表示装置の製造コストを下げることができる。

## 【 0 1 2 4 】

こうして得られるアクティブマトリクス基板を用いて液晶表示装置を作製する例を以下に示す。

## 【 0 1 2 5 】

図 1 8 に示す上面図は、画素部、駆動回路、F P C (フレキシブルプリント配線板 : Flexible Printed Circuit) を貼り付ける外部入力端子、外部入力端子と各回路の入力部までを接続する配線 8 1 などが形成されたアクティブマトリクス基板と、カラーフィルタなどが設けられた対向基板 8 2 とがシール材 8 3 を介して貼り合わされている。

## 【 0 1 2 6 】

ゲート側駆動回路 8 4 と重なるように対向基板側に遮光層 8 6 a が設けられ、ソース側駆動回路 8 5 と重なるように対向基板側に遮光層 8 6 b が形成されている。また、画素部 8 7 上の対向基板側に設けられたカラーフィルタ 8 8 は遮光層と、赤色 (R)、緑色 (G)、青色 (B) の各色の着色層とが各画素に対応して設けられている。実際に表示する際には、赤色 (R) の着色層、緑色 (G) の着色層、青色 (B) の着色層の 3 色でカラー表示を形成するが、これら各色の着色層の配列は任意なものとする。

## 【 0 1 2 7 】

ここでは、カラー化を図るためにカラーフィルタ 8 8 を対向基板に設けているが特に限定されず、アクティブマトリクス基板を作製する際、アクティブマトリクス基板にカラーフィルタを形成してもよい。

## 【 0 1 2 8 】

また、カラーフィルタにおいて隣り合う画素の間には遮光層が設けられており、表示領域以外の箇所を遮光している。また、ここでは、駆動回路を覆う領域にも遮光層 8 6 a、8 6 b を設けているが、駆動回路を覆う領域は、後に液晶表示装置を電子機器の表示部として組み込む際、カバーで覆うため、特に遮光層を設けない構成としてもよい。また、アクティブマトリクス基板を作製する際、アクティブマトリクス基板に遮光層を形成してもよい。

## 【 0 1 2 9 】

また、上記遮光層を設けずに、対向基板と対向電極の間に、カラーフィルタを構成する着色層を複数層重ねた積層で遮光するように適宜配置し、表示領域以外の箇所（各画素電極の間隙）や、駆動回路を遮光してもよい。

## 【 0 1 3 0 】

また、外部入力端子にはベースフィルムと配線から成る F P C 8 9 が異方性導電性樹脂で貼り合わされている。さらに補強板で機械的強度を高めている。

## 【 0 1 3 1 】

以上のようにして作製される液晶表示装置は各種電子機器の表示部として用いることができる。

## 【 0 1 3 2 】

また、上記液晶表示装置におけるブロック図を図 1 9 に示す。なお、図 1 9 はアナログ駆動を行うための回路構成である。本実施例では、ソース側駆動回路 9 0、画素部 9 1 及びゲート側駆動回路 9 2 を有している。なお、本明細書中において、駆動回路とはソース側処理回路およびゲート側駆動回路を含めた総称である。

## 【 0 1 3 3 】

ソース側駆動回路 9 0 は、シフトレジスタ 9 0 a、バッファ 9 0 b、サンプリング回路（トランスファゲート） 9 0 c を設けている。また、ゲート側駆動回路 9 2 は、シフトレジスタ 9 2 a、レベルシフタ 9 2 b、バッファ 9 2 c を設けている。なお、シフトレジスタ 9 0 a、9 2 a としては図 1 6 に示したシフトレジスタを用いれば良い。また、必要であればサンプリング回路とシフトレジスタとの間にレベルシフタ回路を設けてもよい。

## 【 0 1 3 4 】

また、本実施例において、画素部 9 1 は複数の画素を含み、その複数の画素に各々 T F T 素子が設けられている。

## 【 0 1 3 5 】

これらソース側駆動回路 9 0 およびゲート側駆動回路 9 2 は全て N チャンネル型 T F T で形成され、全ての回路は図 1 5 ( A ) に示した E E M O S 回路を基本単位として形成されている。ただし、従来の C M O S 回路に比べると消費電力は若干上がってしまう。

## 【 0 1 3 6 】

なお、図示していないが、画素部 9 1 を挟んでゲート側駆動回路 9 2 の反対側にさらにゲート側駆動回路を設けても良い。

## 【 0 1 3 7 】

また、デジタル駆動させる場合は、図 2 0 に示すように、サンプリング回路の代わりにラッチ ( A ) 9 3 b、ラッチ ( B ) 9 3 c を設ければよい。ソース側駆動回路 9 3 は、シフトレジスタ 9 3 a、ラッチ ( A ) 9 3 b、ラッチ ( B ) 9 3 c、D / A コンバータ 9 3 d、バッファ 9 3 e を設けている。また、ゲート側駆動回路 9 5 は、シフトレジスタ 9 5 a、レベルシフタ 9 5 b、バッファ 9 5 c を設けている。なお、シフトレジスタ 9 3 a、9 5 a としては図 1 6 に示したシフトレジスタを用いれば良い。また、必要であればラッチ ( B ) 9 3 c と D / A コンバータ 9 3 d との間にレベルシフタ回路を設けてもよい。

## 【 0 1 3 8 】

なお、上記構成は、図 1 4 に示した製造工程に従って実現することができる。また、本実施例では画素部と駆動回路の構成のみ示しているが、本実施例の製造工程に従えば、メモリやマイクロプロセッサをも形成しうる。

## 【 0 1 3 9 】

## 〔実施例 2〕

ここでは、P チャンネル型の逆スタガ型 T F T を作製する例について図 2 1 を用い、以下に説明する。

## 【 0 1 4 0 】



本実施例は、実施例 1 とドーピング工程が異なるだけであり、他の工程は同一であるので、同一である工程の説明は簡略に示す。

## 【 0 1 4 1 】

まず、実施例 1 と同様に、基板 3 0 1 上にゲート配線 3 0 2 を形成した後、ゲート絶縁膜 3 0 3 a、3 0 3 b を形成する。次いで、実施例 1 に従って半導体層 3 0 4 を形成する。(図 2 1 (A))

## 【 0 1 4 2 】

次いで、実施例 1 に従って絶縁層 3 0 5 を形成する。(図 2 1 (B))

## 【 0 1 4 3 】

次いで、絶縁層 3 0 5 をマスクとして半導体層に p 型を付与する不純物元素を添加する工程を行ない、不純物領域 (p+ 領域) 3 0 6、3 0 7 を形成する。(図 2 1 (C)) 半導体材料に対して p 型を付与する不純物元素としては、1 3 族に属する不純物元素、例えば B、Al、Ga、In、Tl 等を用いることができる。本実施例ではプラズマドーピング法を用い、p 型を付与する不純物元素として B (ボロン) を用いた。ドーピングガスには水素で 1 ~ 1 0 % に希釈されたジボラン ( $B_2H_6$ ) を用いた。他のドーピング方法としてイオン注入法を用いることもできる。

## 【 0 1 4 4 】

次いで、実施例 1 に従って全面に層間絶縁膜 3 0 7 を形成する。(図 2 1 (C))

## 【 0 1 4 5 】

次いで、層間絶縁膜 3 0 7 の形成後、または層間絶縁膜 3 0 7 形成前にフアーネスアニール、レーザーアニールまたはランプアニールにより不純物イオンの活性化およびドーピング時の損傷の回復を図る。

## 【 0 1 4 6 】

そして、公知の技術を用いてコンタクトホールを形成した後、配線 3 0 8、3 0 9 を形成して、図 2 1 (E) に示す状態を得る。この配線 3 0 8、3 0 9 はソース配線またはドレイン配線として機能する。最後に水素雰囲気中で熱処理を行い、全体を水素化して P チャネル型 T F T が完成する。

## 【0147】

なお、本実施例では、1回のドーピング工程しか行っておらず、LDD領域を形成していないが、レジストを利用して実施例1と同様にLDD領域を形成してもよい。

## 【0148】

また、上記本実施例においてチャンネル形成領域へ微量な不純物元素の添加を行ない、TFTのしきい値制御を行う工程（チャンネルドーピング工程とも呼ぶ）を加えてもよい。

## 【0149】

本実施例で示すPチャンネル型TFTを用いて基本論理回路を構成したり、さらに複雑なロジック回路（信号分割回路、D/Aコンバータ、オペアンプ、 $\gamma$ 補正回路など）をも構成することができ、さらにはメモリやマイクロプロセッサをも形成しうる。例えば、液晶表示装置の駆動回路を全てPチャンネル型TFTで構成することも可能である。

## 【0150】

また、実施例1の画素部の画素TFTに用いたNチャンネル型TFTに代えて、本実施例のPチャンネル型TFTを用いることも可能である。

## 【0151】

従って、駆動回路と画素部とを同一基板上に形成したアクティブマトリクス基板上の全てのTFTをPチャンネル型TFTとすることもできる。アクティブマトリクス基板上の全てのTFTをPチャンネル型TFTで構成すれば、Nチャンネル型TFTを形成する工程を省略できるため、液晶表示装置の製造工程を簡略化することができる。また、それに伴って製造工程の歩留まりが向上し、液晶表示装置の製造コストを下げることができる。

## 【0152】

また、こうして得られるアクティブマトリクス基板を用いて、実施例1と同様に図18に示す液晶表示装置を形成することもできる。

## 【0153】

また、本実施例は実施例1と組み合わせることができる。

【 0 1 5 4 】

## 〔実施例 3〕

ここでは、同一基板上に N チャネル型逆スタガ型 T F T 及び P チャネル型の逆スタガ型 T F T を作製する例について図 2 2、図 2 3 を用い、以下に説明する。

【 0 1 5 5 】

本実施例は、実施例 1 とドーピング工程が異なるだけであり、他の工程は同一であるので、同一である工程の説明は簡略に示す。

【 0 1 5 6 】

まず、実施例 1 と同様に、基板 4 0 0 上にゲート配線 4 0 1、4 0 2 を形成した後、ゲート絶縁膜 4 0 3 a、4 0 3 b を形成する。次いで、実施例 1 に従って半導体層 4 0 4、4 0 5 を形成する。(図 2 2 (A))

【 0 1 5 7 】

次いで、実施例 1 に従って絶縁層 4 0 6、4 0 7 を形成する。(図 2 1 (B))

【 0 1 5 8 】

次いで、フォトリソマスクを用いて N チャネル型 T F T となる半導体層の一部を覆うレジストマスク 4 0 8 及び P チャネル型 T F T となる半導体層を覆うレジストマスク 4 0 9 を形成し、半導体層に n 型を付与する不純物元素を添加するドーピング工程を行ない、第 1 の不純物領域 (n+ 領域) 4 1 0 a を形成する。(図 2 2 (C))

【 0 1 5 9 】

次いで、レジストマスク 4 0 8、4 0 9 を除去した後、絶縁層 4 0 6、4 0 7 をマスクとして半導体層に n 型を付与する不純物元素を添加する 2 回目のドーピング工程を行ない、第 2 の不純物領域 (n- 領域) 4 1 2 を形成する。(図 2 2 (D)) この工程において、さらに不純物が添加されて第 1 の不純物領域 4 1 0 b が形成される。

【 0 1 6 0 】

次いで、フォトリソマスクを用いて N チャネル型 T F T を覆うレジストマスク 4 1 4 を形成し、半導体層に p 型を付与する不純物元素を添加する工程を行ない、第

3の不純物領域(p+領域)413を形成する。(図23(A))

【0161】

次いで、レジストマスク414を除去した後、ファーストアニール、レーザーアニールまたはランプアニールにより不純物イオンの活性化およびイオン添加時の損傷の回復を図る。この工程の際、同時に、結晶化の際に触媒として使用したニッケルがリンを含む不純物領域(410b、412、413)にゲッタリングされ、主にチャネル形成領域となる半導体層中のニッケル濃度が低減される。このようにして作製したチャネル形成領域を有するTFTはオフ電流値が下がり、結晶性が良いことから高い電界効果移動度が得られ、良好な特性を達成することができる。

【0162】

以上の工程を経て、Nチャネル型TFTのソース領域、ドレイン領域、低濃度不純物領域、及びチャネル形成領域が形成され、Pチャネル型TFTのソース領域、ドレイン領域、及びチャネル形成領域が形成される。

【0163】

次いで、実施例1に従って全面に層間絶縁膜415を形成する。(図23(B))

【0164】

そして、公知の技術を用いてコンタクトホールを形成した後、配線416～419を形成して、図23(C)に示す状態を得る。この配線416～419はソース配線またはドレイン配線として機能する。最後に水素雰囲気中で熱処理を行い、全体を水素化してNチャネル型TFT及びPチャネル型TFTが完成する。

【0165】

なお、本実施例でのドーピング順序(n+領域→n-領域→p+領域)に限定されず、例えば、p+領域→n-領域→n+領域の順とすることも可能である。

【0166】

また、上記本実施例においてチャネル形成領域へ微量な不純物元素の添加を行ない、TFTのしきい値制御を行う工程(チャネルドーピング工程とも呼ぶ)を加えてもよい。

## 【0167】

本実施例で示すNチャネル型TFT及びPチャネル型TFTを用いて相補的に結合させた回路はCMOS回路と呼ばれ、半導体回路を構成する基本回路である。

## 【0168】

ここで、CMOS回路の一例を図24に示す。

## 【0169】

図24で示すCMOS回路はインバータ回路とも呼ばれ、半導体回路を構成する基本回路である。

## 【0170】

図24 (A) は図24 (B) の上面図に相当する図であり、図24 (A) において、点線A-A'で切断した部分が、図24 (B) のCMOS回路の断面構造に相当する。また、図24 (C) は、図24 (A) 及び図24 (B) に対応する回路図である。

## 【0171】

図24 (B) において、いずれのTFT (薄膜トランジスタ) も基板501上に形成されている。CMOS回路のPチャネル型TFTには、ゲート電極502が形成され、その上に窒化珪素からなる第1絶縁膜503、酸化珪素からなる第2絶縁膜504が設けられている。第2絶縁膜上には、活性層としてp+領域512 (ドレイン領域)、515 (ソース領域) とチャネル形成領域514とが形成される。本実施例では工程数を低減するため、Pチャネル型TFTに前記高濃度不純物領域と前記チャネル形成領域の間に低濃度不純物領域 (LDD領域) を設けていないが、特に限定されず作製してもよい。チャネル形成領域414は絶縁層513で保護される。絶縁層513及び半導体層を覆う第1の層間絶縁膜517にコンタクトホールが形成され、p+領域512、515に配線518、520が接続され、さらにその上にパッシベーション膜519が形成される。

## 【0172】

また、Nチャネル型のTFTは、活性層としてn+領域 (ソース領域) 505、n+領域511 (ドレイン領域) と、チャネル形成領域509と、前記n+型

領域とチャネル形成領域の間にn-型領域506、510が形成される。なお、ドレイン領域に接するn-型領域510はn-型領域506より幅を大きく形成して信頼性を向上させた。絶縁膜508の上を覆う第1の層間絶縁膜517にコンタクトホールが形成され、n+型領域505、511には配線516、518が形成され、さらにその上にパッシベーション膜519が形成される。なお、半導体層以外の部分は、上記Pチャネル型TFTと概略同一構造であり簡略化のため説明を省略する。507は513と同じ機能を有する絶縁膜である。

#### 【0173】

このようなCMOS回路を組み合わせることで基本論理回路を構成したり、さらに複雑なロジック回路（信号分割回路、D/Aコンバータ、オペアンプ、 $\gamma$ 補正回路など）をも構成することができ、さらにはメモリやマイクロプロセッサをも形成しうる。

#### 【0174】

例えば、本実施例のCMOS回路を備えた駆動回路とNチャネル型TFTからなる画素TFTを備えた画素部とを同一基板上に形成したアクティブマトリクス基板を形成することができる。また、本実施例のCMOS回路を備えた駆動回路とPチャネル型TFTからなる画素TFTを備えた画素部とを同一基板上に形成したアクティブマトリクス基板を形成することができる。

#### 【0175】

また、こうして得られるアクティブマトリクス基板を用いて、実施例1に従えば、同様に図18に示す液晶表示装置を形成することもできる。

#### 【0176】

また、本実施例は実施例1または実施例2と自由に組み合わせることができる。

#### 【0177】

##### [実施例4]

ここでは、上記実施例1～3で得られるTFTを用いてEL（エレクトロルミネセンス）表示装置を作製した例について図25、図26を用い、以下に説明する。

## 【 0 1 7 8 】

同一の絶縁体上に画素部とそれを駆動する駆動回路を有した発光装置の例（但し封止前の状態）を図 2 5 に示す。なお、駆動回路には基本単位となる CMOS 回路を示し、画素部には一つの画素を示す。この CMOS 回路は実施例 3 に従えば得ることができる。

## 【 0 1 7 9 】

図 2 5 において、6 0 0 は絶縁体であり、その上には N チャネル型 T F T 6 0 1、P チャネル型 T F T 6 0 2、P チャネル型 T F T からなるスイッチング T F T 6 0 3 および N チャネル型 T F T からなる電流制御 T F T 6 0 4 が形成されている。また、本実施例では、T F T はすべて逆スタガ型 T F T で形成されている。

## 【 0 1 8 0 】

N チャネル型 T F T 6 0 1 および P チャネル型 T F T 6 0 2 の説明は実施例 3 を参照すれば良いので省略する。また、スイッチング T F T 6 0 3 はソース領域およびドレイン領域の間に二つのチャネル形成領域を有した構造（ダブルゲート構造）となっているが、実施例 2 での P チャネル型 T F T の構造の説明を参照すれば容易に理解できるので説明は省略する。なお、本実施例はダブルゲート構造に限定されることなく、チャネル形成領域が一つ形成されるシングルゲート構造もしくは三つ形成されるトリプルゲート構造であっても良い。

## 【 0 1 8 1 】

また、電流制御 T F T 6 0 4 のドレイン領域 6 0 5 の上には第 2 層間絶縁膜 6 0 7 が設けられる前に、第 1 層間絶縁膜 6 0 6 にコンタクトホールが設けられている。これは第 2 層間絶縁膜 6 0 7 にコンタクトホールを形成する際に、エッチング工程を簡単にするためである。第 2 層間絶縁膜 6 0 7 にはドレイン領域 6 0 5 に到達するようにコンタクトホールが形成され、ドレイン領域 6 0 5 に接続された画素電極 6 0 8 が設けられている。画素電極 6 0 8 は E L 素子の陰極として機能する電極であり、周期表の 1 族もしくは 2 族に属する元素を含む導電膜を用いて形成されている。本実施例では、リチウムとアルミニウムとの化合物からなる導電膜を用いる。

## 【 0 1 8 2 】

次に、6 1 3 は画素電極 6 0 8 の端部を覆うように設けられた絶縁膜であり、本明細書中ではバンクと呼ぶ。バンク 6 1 3 は珪素を含む絶縁膜もしくは樹脂膜で形成すれば良い。樹脂膜を用いる場合、樹脂膜の比抵抗が  $1 \times 10^6 \sim 1 \times 10^{12} \Omega \text{ m}$  (好ましくは  $1 \times 10^8 \sim 1 \times 10^{10} \Omega \text{ m}$ ) となるようにカーボン粒子もしくは金属粒子を添加すると、成膜時の絶縁破壊を抑えることができる。

## 【 0 1 8 3 】

また、E L 素子 6 0 9 は画素電極 (陰極) 6 0 8、E L 層 6 1 1 および陽極 6 1 2 からなる。陽極 6 1 2 は、仕事関数の大きい導電膜、代表的には酸化物導電膜が用いられる。酸化物導電膜としては、酸化インジウム、酸化スズ、酸化亜鉛もしくはそれらの化合物を用いれば良い。

## 【 0 1 8 4 】

なお、本明細書中では発光層に対して正孔注入層、正孔輸送層、正孔阻止層、電子輸送層、電子注入層もしくは電子阻止層を組み合わせた積層体を E L 層と定義する。

## 【 0 1 8 5 】

なお、ここでは図示しないが陽極 6 1 2 を形成した後、E L 素子 6 0 9 を完全に覆うようにしてパッシベーション膜を設けることは有効である。パッシベーション膜としては、炭素膜、窒化シリコン膜もしくは窒化酸化シリコン膜を含む絶縁膜からなり、該絶縁膜を単層もしくは組み合わせた積層で用いる。

## 【 0 1 8 6 】

次いで、E L 素子を保護するための封止 (または封入) 工程まで行った後の E L 表示装置について図 2 6 (A)、(B) を用いて説明する。

## 【 0 1 8 7 】

図 2 6 (A) は、E L 素子の封止までを行った状態を示す上面図、図 2 6 (B) は図 2 6 (A) を A - A' で切断した断面図である。点線で示された 7 0 1 は画素部、7 0 2 はソース側駆動回路、7 0 3 はゲート側駆動回路である。また、7 0 4 はカバー材、7 0 5 は第 1 シール材、7 0 6 は第 2 シール材である。

## 【 0 1 8 8 】



なお、708はソース側駆動回路702及びゲート側駆動回路703に入力される信号を伝送するための配線であり、外部入力端子となるFPC（フレキシブルプリントサーキット）708からビデオ信号やクロック信号を受け取る。なお、ここではFPCしか図示されていないが、このFPCにはプリント配線基盤（PWB）が取り付けられていても良い。

#### 【0189】

次に、断面構造について図26（B）を用いて説明する。絶縁体700の上方には画素部、ソース側駆動回路709が形成されており、画素部は電流制御TFT710とそのドレインに電氣的に接続された画素電極711を含む複数の画素により形成される。また、ソース側駆動回路709はNチャネル型TFTとPチャネル型TFTとを組み合わせたCMOS回路を用いて形成される。なお、絶縁体700には偏光板（代表的には円偏光板）を貼り付けても良い。

#### 【0190】

また、画素電極711の両端にはバンク712が形成され、画素電極711上にはEL層713およびEL素子の陽極714が形成される。陽極714は全面素子に共通の配線としても機能し、接続配線715を経由してFPC716に電氣的に接続されている。さらに、画素部及びソース側駆動回路709に含まれる素子は全てパッシベーション膜（図示しない）で覆われている。

#### 【0191】

また、第1シール材705によりカバー材704が貼り合わされている。なお、カバー材704とEL素子との間隔を確保するためにスペーサを設けても良い。そして、第1シール材705の内側には空隙717が形成されている。なお、第1シール材705は水分や酸素を透過しない材料であることが望ましい。さらに、空隙717の内部に吸湿効果をもつ物質や酸化防止効果をもつ物質を設けることは有効である。

#### 【0192】

なお、カバー材704の表面および裏面には保護膜として炭素膜（具体的にはダイヤモンドライクカーボン膜）を2～30nmの厚さに設けると良い。このような炭素膜（ここでは図示しない）は、酸素および水の侵入を防ぐとともにカバー

材 7 0 4 の表面を機械的に保護する役割をもつ。

【 0 1 9 3 】

また、カバー材 7 0 4 を接着した後、第 1 シール材 7 0 5 の露呈面を覆うように第 2 シール材 7 0 6 を設けている。第 2 シール材 7 0 6 は第 1 シール材 7 0 5 と同じ材料を用いることができる。

【 0 1 9 4 】

以上のような構造で E L 素子を封入することにより、E L 素子を外部から完全に遮断することができ、外部から水分や酸素等の E L 層の酸化による劣化を促す物質が侵入することを防ぐことができる。従って、信頼性の高い E L 表示装置が得られる。

【 0 1 9 5 】

〔実施例 5〕

本実施例では、実施例 4 で得られる E L 表示装置において、画素部のさらに詳細な上面構造を図 2 7 (A) に、回路図を図 2 7 (B) に示す。図 2 7 (A) 及び図 2 7 (B) では共通の符号を用いるので互いに参照すれば良い。

【 0 1 9 6 】

スイッチング T F T 8 0 2 のソースはソース配線 8 1 5 に接続され、ドレインはドレイン配線 8 0 5 に接続される。また、ドレイン配線 8 0 5 は電流制御 T F T 8 0 6 のゲート電極 8 0 7 に電氣的に接続される。また、電流制御 T F T 8 0 6 のソースは電流供給線 8 1 6 に電氣的に接続され、ドレインはドレイン配線 8 1 7 に電氣的に接続される。また、ドレイン配線 8 1 7 は点線で示される画素電極（陰極）8 1 8 に電氣的に接続される。

【 0 1 9 7 】

このとき、8 1 9 で示される領域には保持容量が形成される。保持容量 8 1 9 は、電流供給線 8 1 6 と電氣的に接続された半導体膜 8 2 0、ゲート絶縁膜と同一層の絶縁膜（図示せず）及びゲート電極 8 0 7 との間で形成される。また、ゲート電極 8 0 7、第 1 層間絶縁膜と同一の層（図示せず）及び電流供給線 8 1 6 で形成される容量も保持容量として用いることが可能である。

【 0 1 9 8 】

## 〔実施例 6〕

本実施例では実施例 4 または実施例 5 に示した E L 表示装置の回路構成例を図 2 8 に示す。なお、本実施例ではデジタル駆動を行うための回路構成を示す。本実施例では、ソース側駆動回路 9 0 1、画素部 9 0 6 及びゲート側駆動回路 9 0 7 を有している。なお、本明細書中において、駆動回路とはソース側処理回路およびゲート側駆動回路を含めた総称である。

## 【0 1 9 9】

ソース側駆動回路 9 0 1 は、シフトレジスタ 9 0 2、ラッチ (A) 9 0 3、ラッチ (B) 9 0 4、バッファ 9 0 5 を設けている。なお、アナログ駆動の場合はラッチ (A)、(B) の代わりにサンプリング回路 (トランスファゲート) を設ければ良い。また、ゲート側駆動回路 9 0 7 は、シフトレジスタ 9 0 8、バッファ 9 0 9 を設けている。

## 【0 2 0 0】

また、本実施例において、画素部 9 0 6 は複数の画素を含み、その複数の画素に E L 素子が設けられている。このとき、E L 素子の陰極は電流制御 T F T のドレインに電氣的に接続されていることが好ましい。

## 【0 2 0 1】

これらソース側駆動回路 9 0 1 およびゲート側駆動回路 9 0 7 は実施例 1 ～ 3 で得られる N チャンネル型 T F T または P チャンネル型 T F T で形成されている。

## 【0 2 0 2】

なお、図示していないが、画素部 9 0 6 を挟んでゲート側駆動回路 9 0 7 の反対側にさらにゲート側駆動回路を設けても良い。この場合、双方は同じ構造でゲート配線を共有しており、片方が壊れても残った方からゲート信号を送って画素部を正常に動作させるような構成とする。

## 【0 2 0 3】

なお、上記構成は、実施例 1 乃至 3 のいずれか一に示した製造工程に従って T F T を作製することによって実現することができる。

## 【0 2 0 4】

## 〔実施例 7〕

本実施例では、画素部及び駆動回路に使用するTFTを全てNチャンネル型TFTで構成したEL表示装置の例を図29に示す。

#### 【0205】

図29において、1000は絶縁体であり、その上にはNチャンネル型TFT1001、Nチャンネル型TFT1002、Nチャンネル型TFTからなるスイッチングTFT1003およびNチャンネル型TFTからなる電流制御TFT1004が形成されている。また、本実施例では、TFTはすべて逆スタガ型TFTで形成されている。なお、Nチャンネル型TFTの説明は実施例1を参照すれば良いので省略する。また、EL表示装置の説明は実施例4を参照すれば良いので省略する。

#### 【0206】

以下に、全てE型NTFTでソース側駆動回路およびゲート側駆動回路を形成した場合について図30～図32を用いて説明する。本実施例ではシフトレジスタの代わりにNチャンネル型TFTのみを用いたデコーダを用いる。

#### 【0207】

図30はゲート側駆動回路の例である。図30において、1100がゲート側駆動回路のデコーダ、1101がゲート側駆動回路のバッファ部である。なお、バッファ部とは複数のバッファ（緩衝増幅器）が集積化された部分を指す。また、バッファとは後段の影響を前段に与えずに駆動を行う回路を指す。

#### 【0208】

まずゲート側デコーダ1100を説明する。まず1102はデコーダ1100の入力信号線（以下、選択線という）であり、ここではA1、A1バー（A1の極性が反転した信号）、A2、A2バー（A2の極性が反転した信号）、…An、Anバー（Anの極性が反転した信号）を示している。即ち、2n本の選択線が並んでいると考えれば良い。

#### 【0209】

選択線1102は図31のタイミングチャートに示す信号を伝送する。図31に示すように、A1の周波数を1とすると、A2の周波数は $2^{-1}$ 倍、A3の周波数は $2^{-2}$ 倍、Anの周波数は $2^{-(n-1)}$ 倍となる。

## 【0210】

また、1103aは第1段のNAND回路（NANDセルともいう）、1103bは第2段のNAND回路、1103cは第n段のNANDである。NAND回路はゲート配線の本数分が必要であり、ここではn個が必要となる。即ち、本実施例ではデコーダ1100が複数のNAND回路からなる。

## 【0211】

また、NAND回路1103a～1103cは、Nチャネル型TFT1104～1109が組み合わされてNAND回路を形成している。また、Nチャネル型TFT1104～1109の各々のゲートは選択線1102（A1、A1バー、A2、A2バー…An、Anバー）のいずれかに接続されている。

## 【0212】

また、NAND回路1103aにおいて、A1、A2…An（これらを正の選択線と呼ぶ）のいずれかに接続されたゲートを有するNチャネル型TFT1104～1106は、互いに並列に接続されており、共通のソースとして負電源線（ $V_{DL}$ ）1110に接続され、共通のドレインとして出力線1111に接続されている。

## 【0213】

本実施例において、NAND回路は直列に接続されたn個のNチャネル型TFTおよび並列に接続されたn個のNチャネル型TFTを含む。

## 【0214】

次に、バッファ部1101はNAND回路1103a～1103cの各々に対応して複数のバッファ1113a～1113cにより形成されている。但しバッファ1113a～1113cはいずれも同一構造で良い。

## 【0215】

また、バッファ1113a～1113cはNチャネル型TFT1114～1116を用いて形成される。

## 【0216】

本実施例において、バッファ1113a～1113cは第1のNチャネル型TFT（Nチャネル型TFT1114）および第1のNチャネル型TFTに直列に接

続され、且つ、第 1 の N チャンネル型 T F T のドレインをゲートとする第 2 の N チャンネル型 T F T ( N チャンネル型 T F T 1 1 1 5 ) を含む。

## 【 0 2 1 7 】

また、N チャンネル型 T F T 1 1 1 6 ( 第 3 の N チャンネル型 T F T ) はリセット信号線 ( Reset ) をゲートとし、負電源線 (  $V_{DL}$  ) 1 1 1 9 をソースとし、ゲート配線 1 1 8 をドレインとする。なお、負電源線 (  $V_{DL}$  ) 1 1 1 9 は接地電源線 ( GND ) としても構わない。

## 【 0 2 1 8 】

なお、N チャンネル型 T F T 1 1 1 6 は正電圧が加えられたゲート配線 1 1 1 8 を強制的に負電圧に引き下げるリセットスイッチとして用いられる。即ち、ゲート配線 1 1 1 8 の選択期間が終了したら。リセット信号を入力してゲート配線 1 1 8 に負電圧を加える。但し N チャンネル型 T F T 1 1 1 6 は省略することもできる。

## 【 0 2 1 9 】

次に、ソース側駆動回路の構成を図 3 2 に示す。図 3 2 に示すソース側駆動回路はデコーダ 1 1 2 1、ラッチ 1 1 2 2 およびバッファ部 1 1 2 3 を含む。

## 【 0 2 2 0 】

図 3 2 に示すソース側駆動回路の場合、ラッチ 1 1 2 2 は第 1 段目のラッチ 1 1 2 4 および第 2 段目のラッチ 1 1 2 5 からなる。また、第 1 段目のラッチ 1 1 2 4 および第 2 段目のラッチ 1 1 2 5 は、各々 m 個の N チャンネル型 T F T 1 1 2 6 a ~ 1 1 2 6 c で形成される複数の単位ユニット 1 1 2 7 を有する。デコーダ 1 1 2 1 からの出力線 1 1 2 8 は単位ユニット 1 1 2 7 を形成する m 個の N チャンネル型 T F T 1 1 2 6 a ~ 1 1 2 6 c のゲートに入力される。なお、m は任意の整数である。

## 【 0 2 2 1 】

そして、N チャンネル型 T F T 1 1 2 6 a ~ 1 1 2 6 c のソースは各々ビデオ信号線 (  $V_1$ 、 $V_2 \cdots V_k$  ) 1 1 2 9 に接続される。即ち、出力線 1 2 8 に正電圧が加えられると一斉に N チャンネル型 T F T 1 1 2 6 a ~ 1 1 2 6 c がオン状態となり、各々に対応するビデオ信号が取り込まれる。また、こうして取り込まれたビデ

オ信号は、Nチャネル型TFT 1 1 2 6 a～1 1 2 6 cの各々に接続されたコンデンサ 1 1 3 0 a～1 1 3 0 cに保持される。

#### 【0 2 2 2】

また、第2段目のラッチ 1 1 2 5も複数の単位ユニット 1 1 2 7 bを有し、単位ユニット 1 1 2 7 bはm個のNチャネル型TFT 1 1 3 1 a～1 1 3 1 cで形成される。Nチャネル型TFT 1 1 3 1 a～1 1 3 1 cのゲートはすべてラッチ信号線 1 3 2に接続され、ラッチ信号線 1 1 3 2に負電圧が加えられると一斉にNチャネル型TFT 1 1 3 1 a～1 1 3 1 cがオン状態となる。

#### 【0 2 2 3】

その結果、コンデンサ 1 1 3 0 a～1 1 3 0 cに保持されていた信号が、Nチャネル型TFT 1 1 3 1 a～1 1 3 1 cの各々に接続されたコンデンサ 1 1 3 3 a～1 1 3 3 cに保持されると同時にバッファ 1 1 2 3へと出力される。そして、バッファを介してソース配線 1 1 3 4に出力される。以上のような動作のソース側駆動回路によりソース配線が順番に選択されることになる。

#### 【0 2 2 4】

以上のように、Nチャネル型TFTのみでゲート側駆動回路およびソース側駆動回路を形成することにより画素部および駆動回路をすべてNチャネル型TFTで形成することが可能となる。従って、アクティブマトリクス型の電気光学装置を作製する上でTFT工程の歩留まりおよびスループットを大幅に向上させることができ、製造コストを低減することが可能となる。

#### 【0 2 2 5】

なお、ソース側駆動回路もしくはゲート側駆動回路のいずれか片方を外付けのICチップとする場合にも本実施例は実施できる。

#### 【0 2 2 6】

また、本実施例では、E型NTFTのみを用いて駆動回路を構成したがE型NTFTおよびD型NTFTを組み合わせて形成してもよい。

#### 【0 2 2 7】

#### 〔実施例 8〕

本実施例では、画素部及び駆動回路に使用するTFTを全てPチャネル型TFT

Tで構成したEL表示装置の例を図33に示す。

【0228】

図33において、1200は絶縁体であり、その上にはPチャネル型TF T 1201、Pチャネル型TF T 1202、Pチャネル型TF TからなるスイッチングTF T 1203およびPチャネル型TF Tからなる電流制御TF T 1204が形成されている。また、本実施例では、TF Tはすべて逆スタガ型TF Tで形成されている。なお、Pチャネル型TF Tの説明は実施例2を参照すれば良いので省略する。

【0229】

本実施例では、電流制御TF T 1204の上には層間絶縁膜1205、1206が形成され、その上に電流制御TF T 1204のドレインと電氣的に接続する画素電極1207が形成される。本実施例では、仕事関数の大きい透明導電膜からなる画素電極1207がEL素子の陽極として機能する。

【0230】

そして、実施例4と同様に画素電極1207の上にはバンク1208が形成される。

【0231】

次に、画素電極1207の上にはEL層1209が形成される。そのEL層1209の上には周期表の1族または2族に属する元素を含む導電膜からなる陰極1210が設けられる。こうして、画素電極（陽極）1207、EL層1209及び陰極1210からなるEL素子1211が形成される。

【0232】

但し、本実施例は実施例4とはEL素子からの光の放射方向が異なり、絶縁体1200は透明でなければならない。

【0233】

次に、一般的なシフトレジスタの代わりに図1に示すようなPチャネル型TF Tを用いたデコーダを用いて駆動回路を形成した例を示す。なお、図34はゲート側駆動回路の例である。

【0234】



図 1 において、1 3 0 0 がゲート側駆動回路のデコーダ、1 3 0 1 がゲート側駆動回路のバッファ部である。

#### 【 0 2 3 5 】

まずゲート側デコーダ 1 3 0 0 を説明する。まず 1 3 0 2 はデコーダ 1 0 0 の入力信号線（以下、選択線という）であり、ここでは  $A_1$ 、 $A_1$  バー（ $A_1$  の極性が反転した信号）、 $A_2$ 、 $A_2$  バー（ $A_2$  の極性が反転した信号）、 $\dots A_n$ 、 $A_n$  バー（ $A_n$  の極性が反転した信号）を示している。

#### 【 0 2 3 6 】

選択線 1 3 0 2 は図 3 5 のタイミングチャートに示す信号を伝送する。図 3 5 に示すように、 $A_1$  の周波数を 1 とすると、 $A_2$  の周波数は  $2^{-1}$  倍、 $A_3$  の周波数は  $2^{-2}$  倍、 $A_n$  の周波数は  $2^{-(n-1)}$  倍となる。

#### 【 0 2 3 7 】

また、1 3 0 3 a は第 1 段の NAND 回路（NAND セルともいう）、1 3 0 3 b は第 2 段の NAND 回路、1 3 0 3 c は第  $n$  段の NAND である。

#### 【 0 2 3 8 】

また、NAND 回路 1 3 0 3 a ~ 1 3 0 3 c は、P チャネル型 TFT 1 3 0 4 ~ 1 3 0 9 が組み合わされて NAND 回路を形成している。

#### 【 0 2 3 9 】

また、NAND 回路 1 3 0 3 a において、 $A_1$ 、 $A_2 \dots A_n$ （これらを正の選択線と呼ぶ）のいずれかに接続されたゲートを有する P チャネル型 TFT 1 3 0 4 ~ 1 3 0 6 は、互いに並列に接続されており、共通のソースとして正電源線（ $V_{DH}$ ）1 3 1 0 に接続され、共通のドレインとして出力線 1 3 1 1 に接続されている。

#### 【 0 2 4 0 】

次に、バッファ 1 0 1 は NAND 回路 1 3 0 3 a ~ 1 3 0 3 c の各々に対応して複数のバッファ 1 3 1 3 a ~ 1 3 1 3 c により形成されている。但しバッファ 1 3 1 3 a ~ 1 3 1 3 c はいずれも同一構造で良い。また、バッファ 1 3 1 3 a ~ 1 3 1 3 c は一導電型 TFT として P チャネル型 TFT 1 3 1 4 ~ 1 3 1 6 を用いて形成される。

## 【0241】

また、Pチャンネル型TFT1316はリセット信号線(Reset)をゲートとし、正電源線1319をソースとし、ゲート配線1318をドレインとする。なお、接地電源線1317は負電源線(但し画素のスイッチング素子として用いるPチャンネル型TFTがオン状態になるような電圧を与える電源線)としても構わない。

## 【0242】

次に、ソース側駆動回路の構成を図36に示す。図36に示すソース側駆動回路はデコーダ1401、ラッチ1402およびバッファ1403を含む。なお、デコーダ1401およびバッファ1403の構成はゲート側駆動回路と同様であるので、ここでの説明は省略する。

## 【0243】

図36に示すソース側駆動回路の場合、ラッチ1402は第1段目のラッチ1404および第2段目のラッチ1405からなる。また、第1段目のラッチ1404および第2段目のラッチ1405は、各々m個のPチャンネル型TFT1406a~1406cで形成される複数の単位ユニット1407を有する。

## 【0244】

そして、Pチャンネル型TFT1406a~1406cのソースは各々ビデオ信号線(V1、V2...Vk)1409に接続される。出力線1408に負電圧が加えられると一斉にPチャンネル型TFT1406a~1406cがオン状態となり、各々に対応するビデオ信号が取り込まれる。また、こうして取り込まれたビデオ信号は、Pチャンネル型TFT1406a~1406cの各々に接続されたコンデンサ1410a~1410cに保持される。

## 【0245】

また、第2段目のラッチ1405も複数の単位ユニット1407bを有し、単位ユニット1407bはm個のPチャンネル型TFT1411a~1411cで形成される。Pチャンネル型TFT1411a~1411cのゲートはすべてラッチ信号線1412に接続され、ラッチ信号線1412に負電圧が加えられると一斉にPチャンネル型TFT1411a~1411cがオン状態となる。

## 【 0 2 4 6 】

その結果、コンデンサ 1 4 1 0 a ~ 1 4 1 0 c に保持されていた信号が、Pチャネル型 T F T 1 4 1 1 a ~ 1 4 1 1 c の各々に接続されたコンデンサ 1 4 1 3 a ~ 1 4 1 3 c に保持されると同時にバッファ 3 0 3 へと出力される。そして、バッファを介してソース配線 1 4 1 4 に出力される。以上のような動作のソース側駆動回路によりソース配線が順番に選択されることになる。

## 【 0 2 4 7 】

以上のように、Pチャネル型 T F T のみでゲート側駆動回路およびソース側駆動回路を形成することにより画素部および駆動回路をすべて Pチャネル型 T F T で形成することが可能となる。従って、アクティブマトリクス型の電気光学装置を作製する上で T F T 工程の歩留まりおよびスループットを大幅に向上させることができ、製造コストを低減することが可能となる。

## 【 0 2 4 8 】

## 〔実施例 9〕

本実施例では、基板上に形成された T F T 及び E L 素子をプラスチック基板に移す工程の一例を図 3 7、図 3 8 に説明する。

## 【 0 2 4 9 】

図 3 7 (A) において、1 5 0 0 は素子が形成される基板（以下、素子形成基板という）であり、その上には非晶質シリコン膜からなる分離層 1 5 0 1 a が 1 0 0 ~ 5 0 0 n m（本実施の形態では 3 0 0 n m）の厚さに形成される。本実施の形態では素子形成基板（第 1 の基板）1 5 0 0 としてガラス基板を用いるが、石英基板、シリコン基板、金属基板もしくはセラミックス基板を用いても構わない。なお、本明細書中では、半導体素子もしくは発光素子が形成された基板全体を指して素子形成基板と呼ぶ場合もある。

## 【 0 2 5 0 】

また、分離層 1 5 0 1 a の成膜は減圧熱 C V D 法、プラズマ C V D 法、スパッタ法もしくは蒸着法を用いれば良い。分離層 1 5 0 1 a の上には下地絶縁膜が 2 0 0 n m の厚さに形成される。

## 【 0 2 5 1 】

以降の工程は、実施例 4 に従って E L 素子を作製する。

【 0 2 5 2 】

次いで、E L 素子の陰極を絶縁膜で覆った後、図 3 7 ( B ) に示すように、第 1 接着層 1 5 0 3 により素子を固定するための基板（以下、固定基板という）1 5 0 2 を貼り合わせる。

【 0 2 5 3 】

次に、図 3 7 ( C ) に示すように、E L 素子の形成された第 1 の基板 1 5 0 0 全体を、フッ化ハロゲンを含むガス中に晒し、分離層 1 5 0 1 の除去を行う。このとき、T F T 及び E L 素子は薄膜を積層して形成されているが、固定基板 1 5 0 2 に移された形で残る。本実施例ではフッ化ハロゲンとして三フッ化塩素 (  $\text{CF}_3$  ) を用い、希釈ガスとして窒素を用いる。希釈ガスとしては、アルゴン、ヘリウムもしくはネオンを用いても良い。

【 0 2 5 4 】

この場合、シリコン膜はエッチングされるが、プラスチックフィルム、ガラス基板、ポリイミド膜、酸化シリコン膜はエッチングされない。即ち、三フッ化塩素ガスに晒すことで分離層 1 5 0 1 が選択的にエッチングされ、最終的には完全に除去される。なお、同じくシリコン膜で形成されている活性層はゲート絶縁膜に覆われているため三フッ化塩素ガスに晒されることがなく、エッチングされることはない。

【 0 2 5 5 】

こうして固定基板 1 5 0 2 に T F T 及び E L 素子に移したら、図 3 8 ( A ) に示すように、第 2 接着層 1 5 0 8 を形成し、プラスチック基板である第 2 基板 1 5 0 5 を貼り合わせる。なお、第 2 の基板 1 5 0 5 には、画素部において、各画素及び T F T の位置に対応するカラーフィルタ 1 5 0 6 が設けられ、端子部において端子接続部 1 5 0 7 と、露呈した配線と接するように端子接続部上に設けられた導電性フィラーを含む導電異方性接着剤 1 5 0 9 とが設けられている。

【 0 2 5 6 】

こうして第 1 の基板 1 5 0 0 から第 2 の基板 1 5 0 5 へと T F T 及び E L 素子に移される。その結果、図 3 8 ( B ) に示したように、第 2 の基板 1 5 0 5 上に

画素部 1 5 1 2、駆動回路部 1 5 1 1、端子部 1 5 1 0 が設けられたフレキシブルな E L 表示装置を得ることができる。

【 0 2 5 7 】

また、固定基板 1 5 0 0 と第 2 の基板 1 5 0 5 を同一材料（プラスチックフィルム）とすると熱膨張係数が等しくなるので、温度変化による応力歪みの影響を受けにくくすることができる。

【 0 2 5 8 】

また、本実施例は実施例 4 乃至 8 のいずれか一と自由に組み合わせることが可能である。

【 0 2 5 9 】

[ 実施例 1 0 ]

本願発明を実施して形成された駆動回路部や画素部は様々な電気光学装置（アクティブマトリクス型液晶ディスプレイ、アクティブマトリクス型 E L ディスプレイ、アクティブマトリクス型 E C ディスプレイ）に用いることができる。即ち、それら電気光学装置を表示部に組み込んだ電子機器全てに本願発明を実施できる。

【 0 2 6 0 】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター（リア型またはフロント型）、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーション、カーステレオ、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図 3 9、図 4 0 及び図 4 1 に示す。

【 0 2 6 1 】

図 3 9（A）はパーソナルコンピュータであり、本体 2 0 0 1、画像入力部 2 0 0 2、表示部 2 0 0 3、キーボード 2 0 0 4 等を含む。本発明を画像入力部 2 0 0 2、表示部 2 0 0 3 やその他の駆動回路に適用することができる。

【 0 2 6 2 】

図 3 9（B）はビデオカメラであり、本体 2 1 0 1、表示部 2 1 0 2、音声入力部 2 1 0 3、操作スイッチ 2 1 0 4、バッテリー 2 1 0 5、受像部 2 1 0 6 等を

含む。本発明を表示部 2 1 0 2 やその他の駆動回路に適用することができる。

【 0 2 6 3 】

図 3 9 (C) はモバイルコンピュータ (モービルコンピュータ) であり、本体 2 2 0 1、カメラ部 2 2 0 2、受像部 2 2 0 3、操作スイッチ 2 2 0 4、表示部 2 2 0 5 等を含む。本発明は表示部 2 2 0 5 やその他の駆動回路に適用できる。

【 0 2 6 4 】

図 3 9 (D) はゴーグル型ディスプレイであり、本体 2 3 0 1、表示部 2 3 0 2、アーム部 2 3 0 3 等を含む。本発明は表示部 2 3 0 2 やその他の駆動回路に適用することができる。

【 0 2 6 5 】

図 3 9 (E) はプログラムを記録した記録媒体 (以下、記録媒体と呼ぶ) を用いるプレーヤーであり、本体 2 4 0 1、表示部 2 4 0 2、スピーカ部 2 4 0 3、記録媒体 2 4 0 4、操作スイッチ 2 4 0 5 等を含む。なお、このプレーヤーは記録媒体として DVD (Digital Versatile Disc)、CD 等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示部 2 4 0 2 やその他の駆動回路に適用することができる。

【 0 2 6 6 】

図 3 9 (F) はデジタルカメラであり、本体 2 5 0 1、表示部 2 5 0 2、接眼部 2 5 0 3、操作スイッチ 2 5 0 4、受像部 (図示しない) 等を含む。本願発明を表示部 2 5 0 2 やその他の駆動回路に適用することができる。

【 0 2 6 7 】

図 4 0 (A) はフロント型プロジェクターであり、投射装置 2 6 0 1、スクリーン 2 6 0 2 等を含む。本発明は投射装置 2 6 0 1 の一部を構成する液晶表示装置 2 8 0 8 やその他の駆動回路に適用することができる。

【 0 2 6 8 】

図 4 0 (B) はリア型プロジェクターであり、本体 2 7 0 1、投射装置 2 7 0 2、ミラー 2 7 0 3、スクリーン 2 7 0 4 等を含む。本発明は投射装置 2 7 0 2 の一部を構成する液晶表示装置 2 8 0 8 やその他の駆動回路に適用することができる。

## 【 0 2 6 9 】

なお、図 4 0 (C) は、図 4 0 (A) 及び図 4 0 (B) 中における投射装置 2 6 0 1、2 7 0 2 の構造の一例を示した図である。投射装置 2 6 0 1、2 7 0 2 は、光源光学系 2 8 0 1、ミラー 2 8 0 2、2 8 0 4 ~ 2 8 0 6、ダイクロイックミラー 2 8 0 3、プリズム 2 8 0 7、液晶表示装置 2 8 0 8、位相差板 2 8 0 9、投射光学系 2 8 1 0 で構成される。投射光学系 2 8 1 0 は、投射レンズを含む光学系で構成される。本実施例は三板式の例を示したが、特に限定されず、例えば単板式であってもよい。また、図 4 0 (C) 中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、I R フィルム等の光学系を設けてもよい。

## 【 0 2 7 0 】

また、図 4 0 (D) は、図 4 0 (C) 中における光源光学系 2 8 0 1 の構造の一例を示した図である。本実施例では、光源光学系 2 8 0 1 は、リフレクター 2 8 1 1、光源 2 8 1 2、レンズアレイ 2 8 1 3、2 8 1 4、偏光変換素子 2 8 1 5、集光レンズ 2 8 1 6 で構成される。なお、図 4 0 (D) に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、I R フィルム等の光学系を設けてもよい。

## 【 0 2 7 1 】

ただし、図 4 0 に示したプロジェクターにおいては、透過型の電気光学装置を用いた場合を示しており、反射型の電気光学装置及び E L 表示装置での適用例は図示していない。

## 【 0 2 7 2 】

図 4 1 (A) は携帯電話であり、本体 2 9 0 1、音声出力部 2 9 0 2、音声入力部 2 9 0 3、表示部 2 9 0 4、操作スイッチ 2 9 0 5、アンテナ 2 9 0 6 等を含む。本願発明を音声出力部 2 9 0 2、音声入力部 2 9 0 3、表示部 2 9 0 4 やその他の駆動回路に適用することができる。

## 【 0 2 7 3 】

図 4 1 (B) は携帯書籍（電子書籍）であり、本体 3 0 0 1、表示部 3 0 0 2

、3003、記憶媒体3004、操作スイッチ3005、アンテナ3006等を含む。本発明は表示部3002、3003やその他の駆動回路に適用することができる。

#### 【0274】

図41(C)はディスプレイであり、本体3101、支持台3102、表示部3103等を含む。本発明は表示部3103に適用することができる。本発明のディスプレイは特に大画面化した場合において有利であり、対角10インチ以上(特に30インチ以上)のディスプレイには有利である。

#### 【0275】

以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例1～9のどのような組み合わせからなる構成を用いても実現することができる。

#### 【0276】

##### 【発明の効果】

本発明により、シリコンを主成分とし、ゲルマニウム含有量が0.1原子%以上10原子%以下である非晶質半導体膜に金属元素を添加して加熱処理により結晶化すると、EBSP法で観測される{101}格子面の前記半導体膜の表面となす角が10度以内である割合が20%以上であり、かつ、{001}格子面の前記半導体膜の表面となす角が10度以内である割合が3%以下であり、かつ、{111}格子面の前記半導体膜の表面となす角が10度以内である割合が5%以下である結晶質半導体膜を得ることが可能となり、そのような結晶質半導体膜を用いて逆スタガ型の薄膜トランジスタのチャネル形成領域を形成することができる。

#### 【0277】

このような{110}格子面の配向率の高い結晶質半導体膜を用いた逆スタガ型のTFTは、アクティブマトリクス型の液晶表示装置やEL表示装置を作製するためのTFTとして用いることができる。また、本発明の逆スタガ型のTFTは、従来の半導体基板にて作製されるLSIに代わる薄膜集積回路を実現するTFTとして用いることができる。



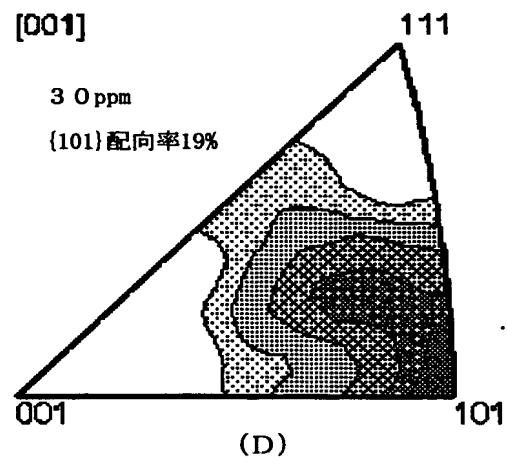
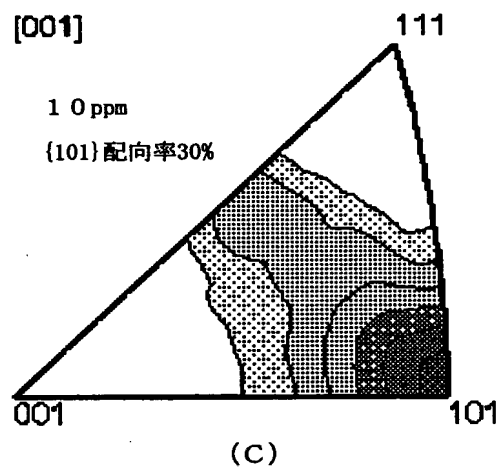
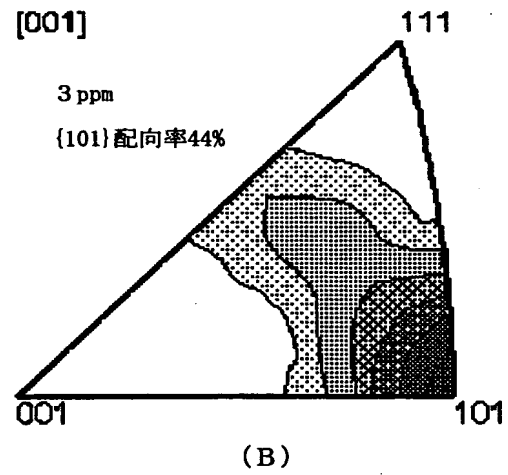
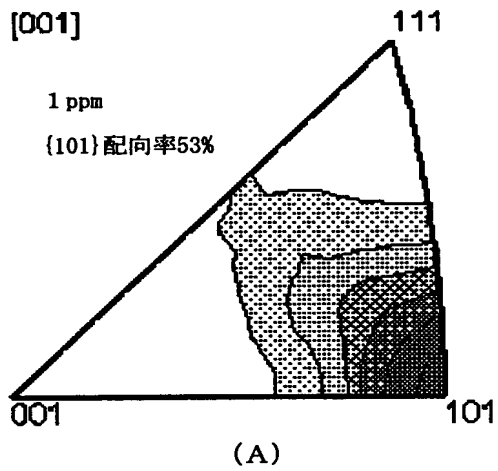
【図面の簡単な説明】

- 【図 1】 E B S P 法により求められる本発明の結晶質半導体膜の逆極点図。
- 【図 2】 N i 水溶液濃度と { 1 0 1 } 配向率の関係を示すグラフ。
- 【図 3】 結晶質半導体膜中の G e 濃度を S I M S により測定した結果を示すグラフ。
- 【図 4】 S i H<sub>4</sub>、G e H<sub>4</sub>、H<sub>2</sub> ガスより作製された試料の C、N、O 濃度を表す S I M S データ。
- 【図 5】 G e H<sub>4</sub> の添加量と結晶核発生密度との関係を示すグラフ。
- 【図 6】 E B S P 装置の構成を説明する図。
- 【図 7】 E P S P による試料測定 of の概念を説明する図。
- 【図 8】 E B S P データから得られる逆極点図の例。
- 【図 9】 { 1 0 1 } 配向からのずれ角を説明する図。
- 【図 1 0】 { 1 0 1 } 付近に優先配向している場合の各結晶粒の < 1 0 1 > 方位のゆらぎを説明する図。
- 【図 1 1】 本発明の結晶質半導体膜の作製方法を説明する図。
- 【図 1 2】 本発明の結晶質半導体膜の作製方法を説明する図。
- 【図 1 3】 加熱処理またはレーザー処理後の結晶質半導体膜中の G e 濃度を S I M S により測定した結果を示すグラフ。
- 【図 1 4】 N チャネル型 T F T を作製する工程を説明する図。
- 【図 1 5】 N M O S 回路の構成を示す図。
- 【図 1 6】 シフトレジスタの構成を示す図。
- 【図 1 7】 画素部における画素構造の上面図及び断面図。
- 【図 1 8】 A M - L C D の外観を示す図。
- 【図 1 9】 アナログ駆動の表示装置の回路ブロック図。
- 【図 2 0】 デジタル駆動の表示装置の回路ブロック図。
- 【図 2 1】 P チャネル型 T F T を作製する工程を説明する図。
- 【図 2 2】 C M O S 構造の T F T を作製する工程を説明する図。
- 【図 2 3】 C M O S 構造の T F T を作製する工程を説明する図。
- 【図 2 4】 C M O S 回路の上面図及び断面図及び回路図を説明する図。

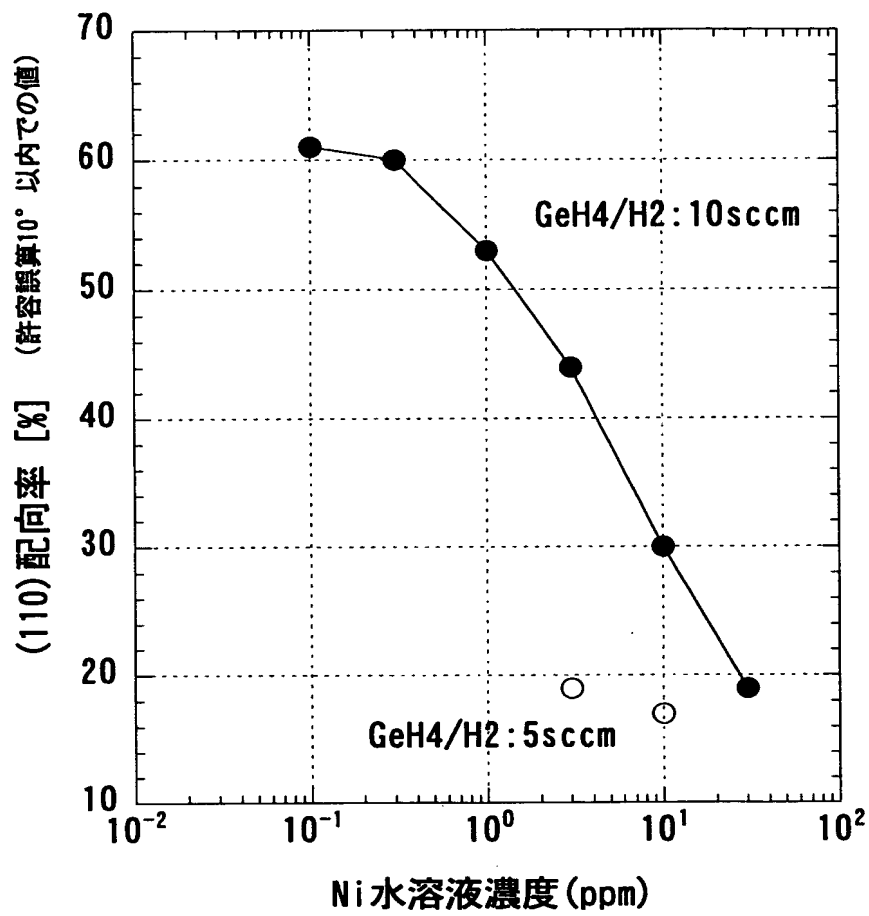
- 【図 2 5】 E L 表示装置の駆動回路及び画素部の断面構造図。
- 【図 2 6】 E L 表示装置の上面図及び断面図。
- 【図 2 7】 E L 表示装置の画素の上面図及び回路図。
- 【図 2 8】 デジタル駆動の E L 表示装置の回路ブロック図。
- 【図 2 9】 Nチャネル型 T F T で形成した E L 表示装置の駆動回路及び画素部の断面構造図。
- 【図 3 0】 Nチャネル型 T F T で形成したゲート側駆動回路の構成を示す図。
- 【図 3 1】 デコーダ入力信号のタイミングチャートを説明する図。
- 【図 3 2】 Nチャネル型 T F T で形成したソース側駆動回路の構成を示す図。
- 【図 3 3】 Pチャネル型 T F T で形成した E L 表示装置の駆動回路及び画素部の断面構造図。
- 【図 3 4】 Pチャネル型 T F T で形成したゲート側駆動回路の構成を示す図。
- 【図 3 5】 デコーダ入力信号のタイミングチャートを説明する図。
- 【図 3 6】 Pチャネル型 T F T で形成したソース側駆動回路の構成を示す図。
- 【図 3 7】 プラスチック基板を貼り合わせる工程を説明する図。
- 【図 3 8】 プラスチック基板を貼り合わせる工程を説明する図。
- 【図 3 9】 電子機器の一例を示す図。
- 【図 4 0】 電子機器の一例を示す図。
- 【図 4 1】 電子機器の一例を示す図。
- 【図 4 2】 X線回折測定と試料あおり角を示す図。
- 【図 4 3】 試料あおり角と、回折に寄与する格子面を示す図。
- 【図 4 4】 E B S P データから得られる逆極点図の比較例を示す図。

【書類名】 図面

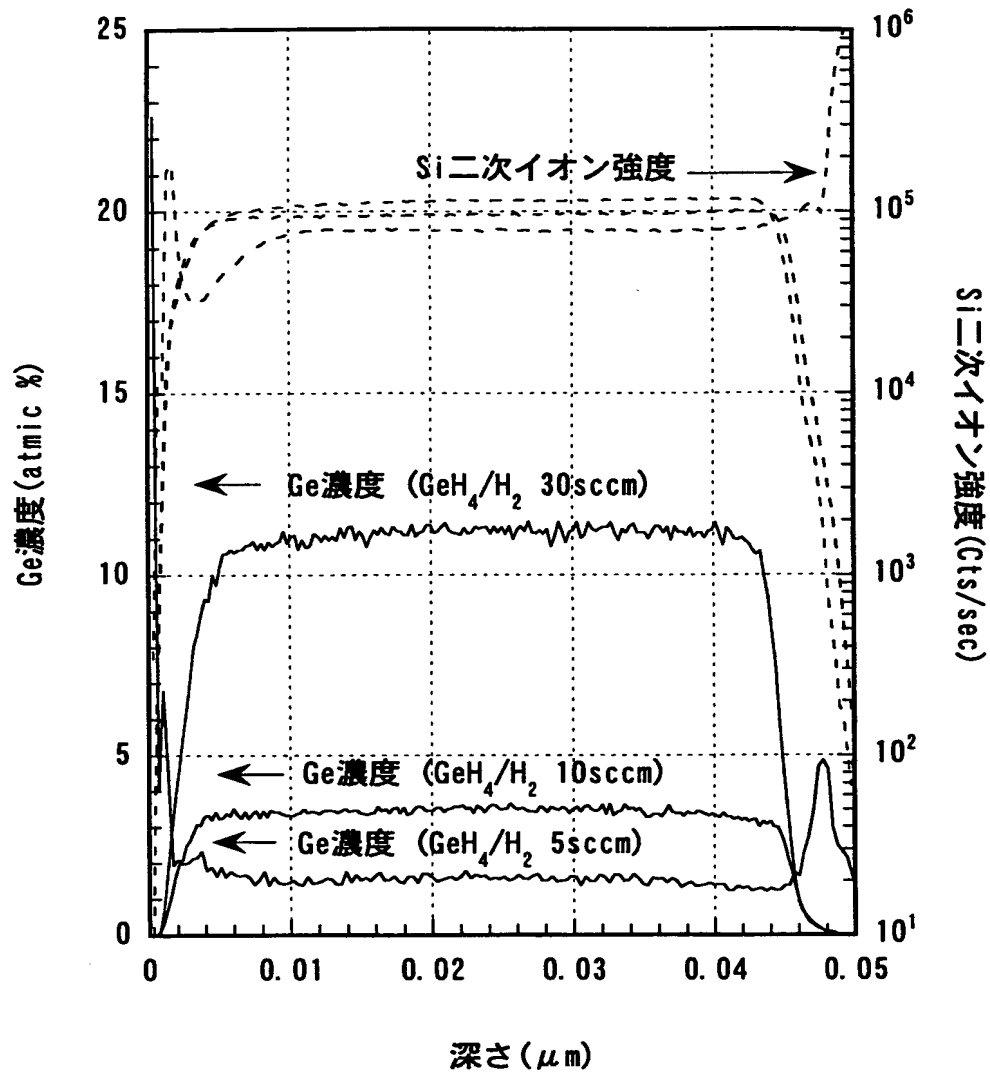
【図 1】



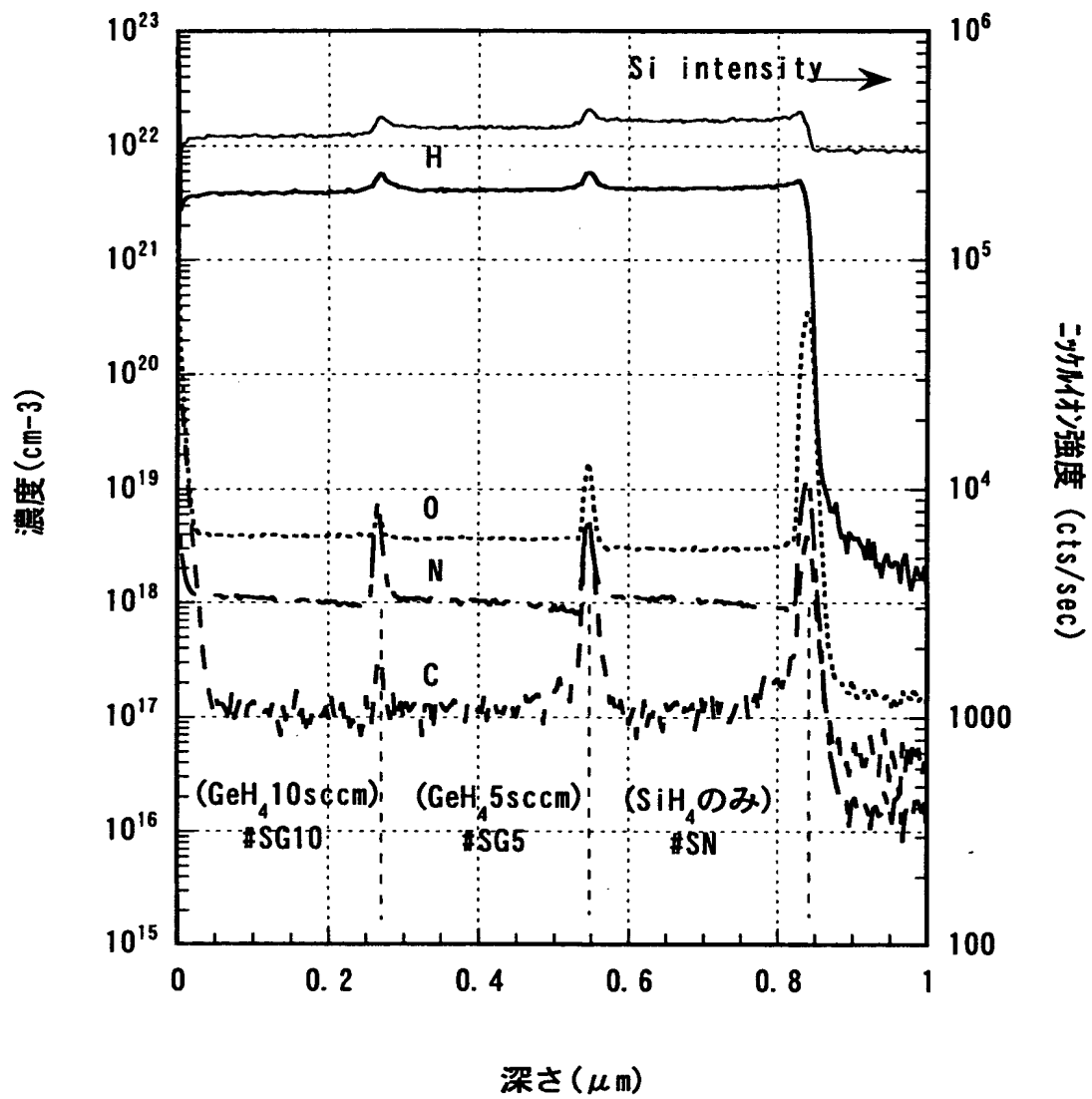
【図 2】



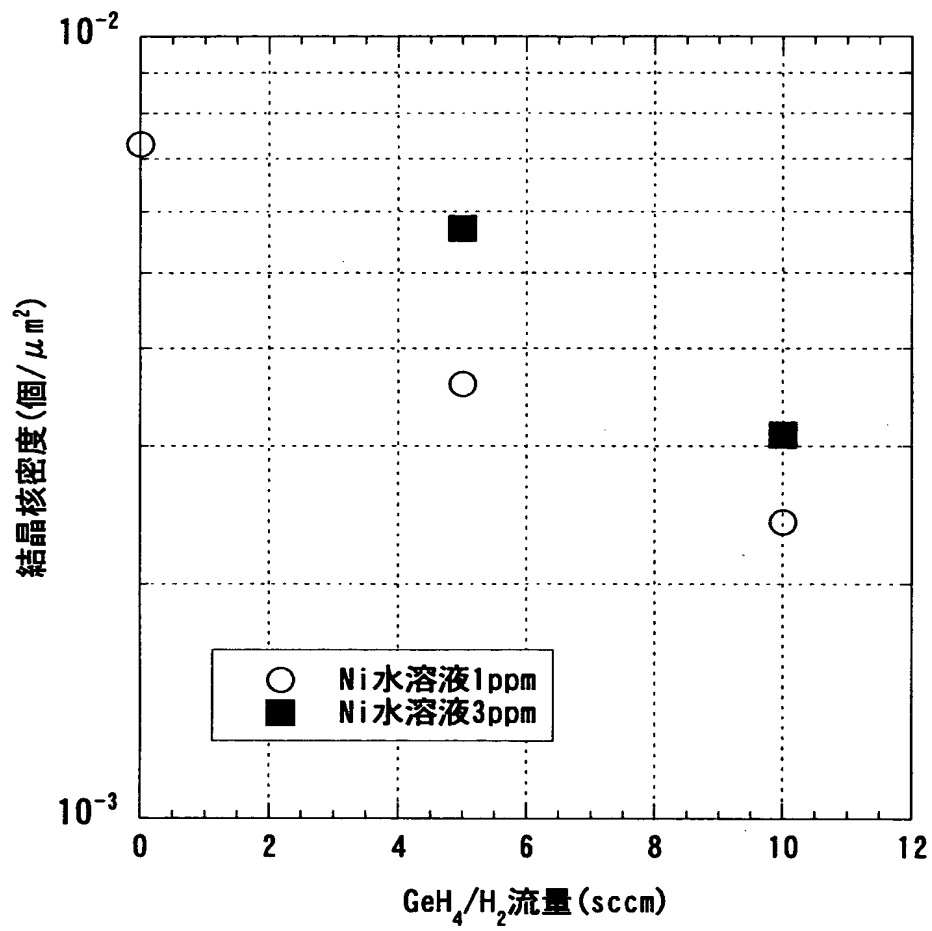
【図3】



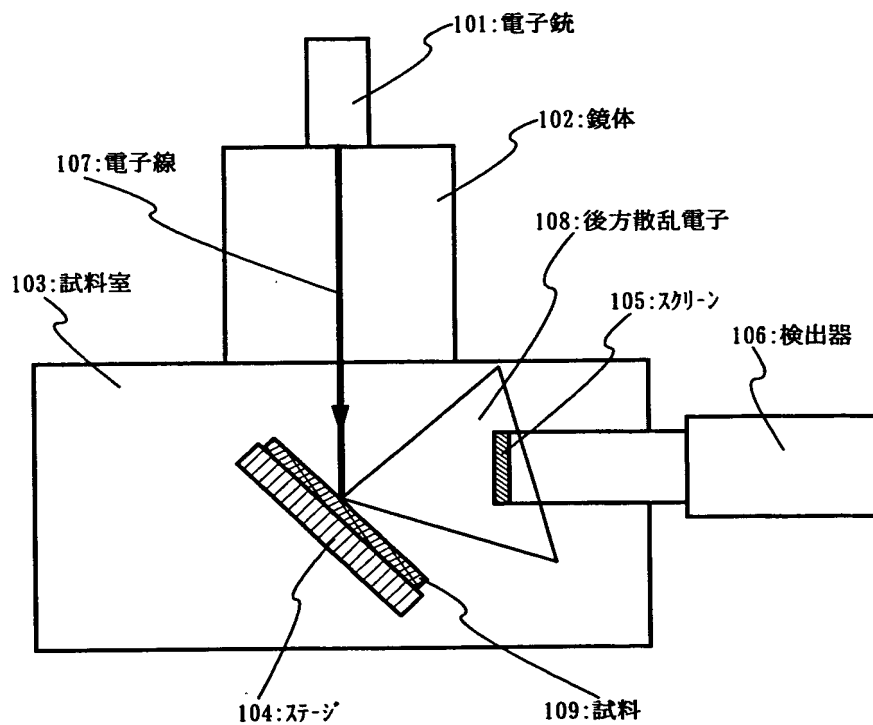
【図 4】



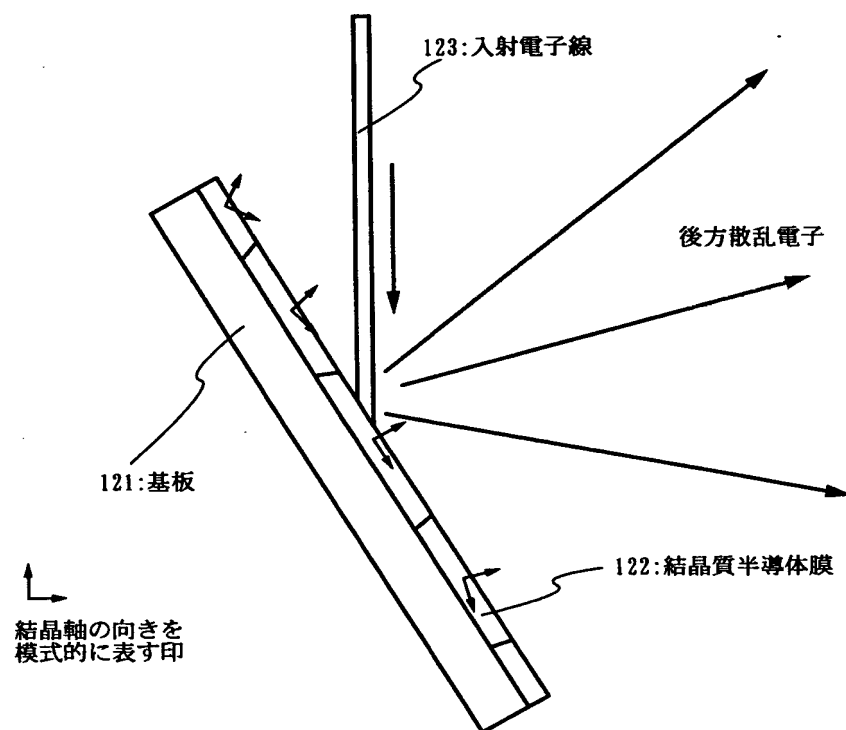
【図 5】



【図 6】

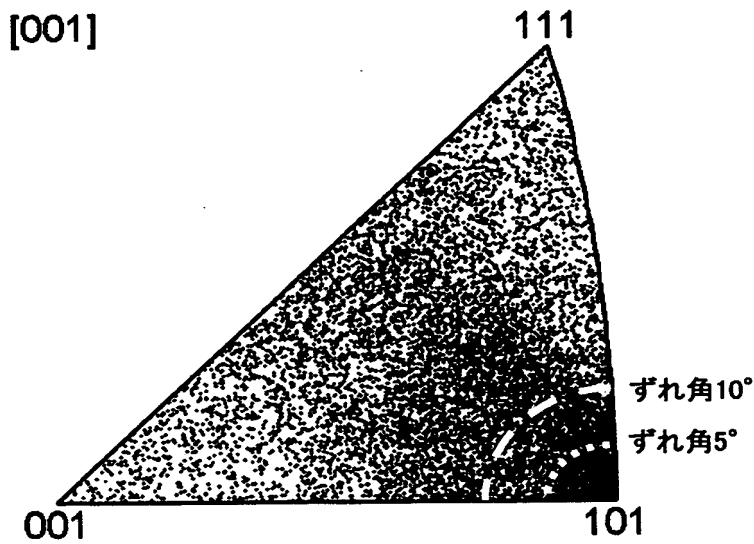


【図 7】

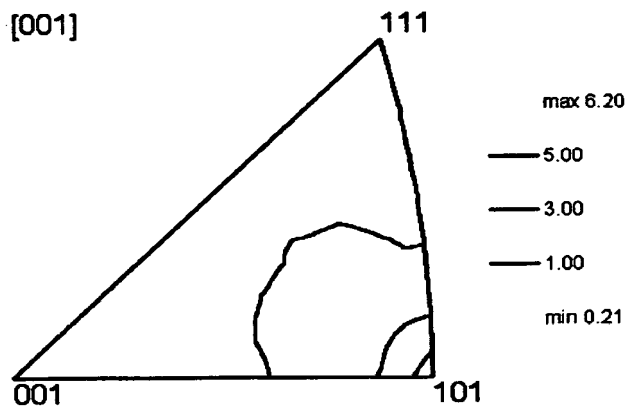




【図 8】

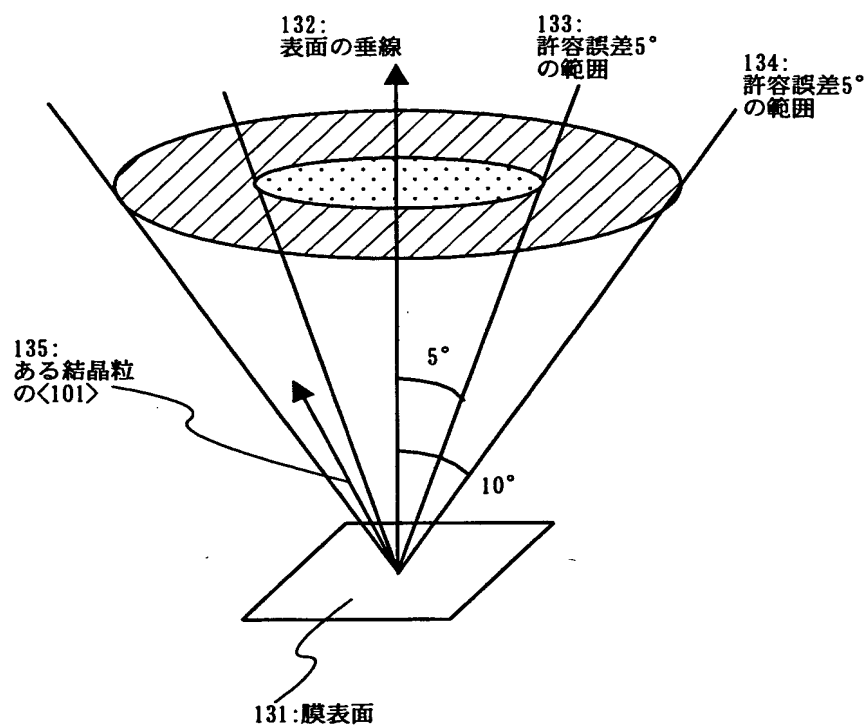


(A) マッピング測定における全測定点のプロット

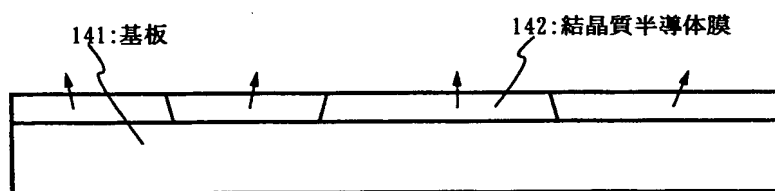


(B) 特定指数への配向の集中度を等高線表示した例

【図 9】

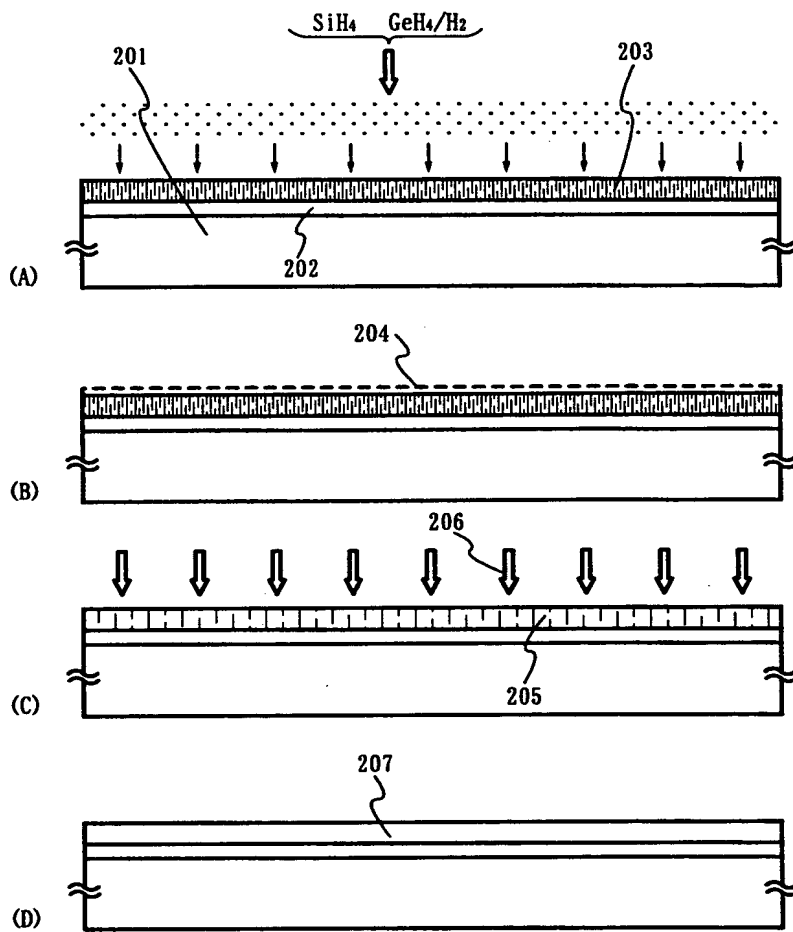


【図 10】



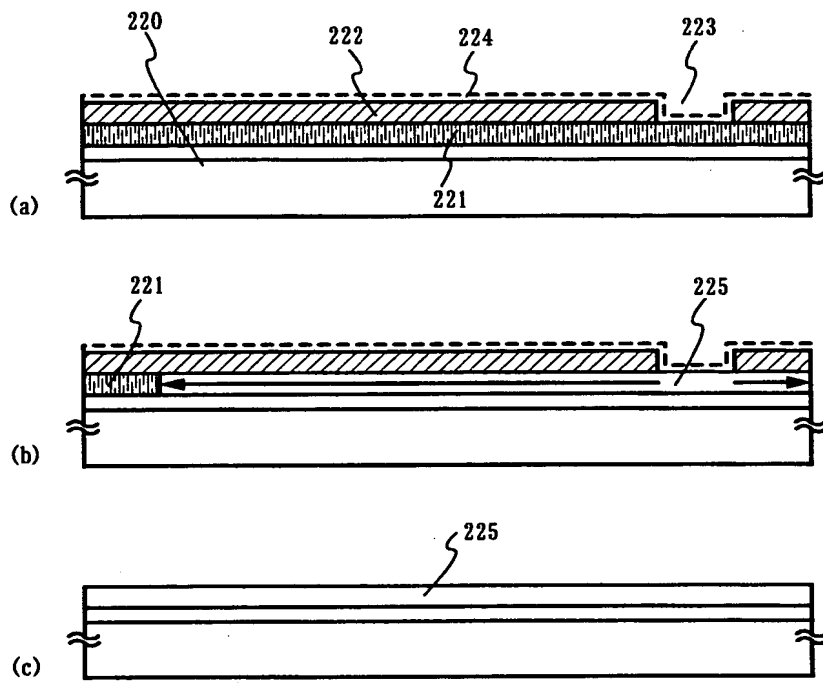
結晶粒の<101>方位のゆらぎを説明する図

【図 1 1】

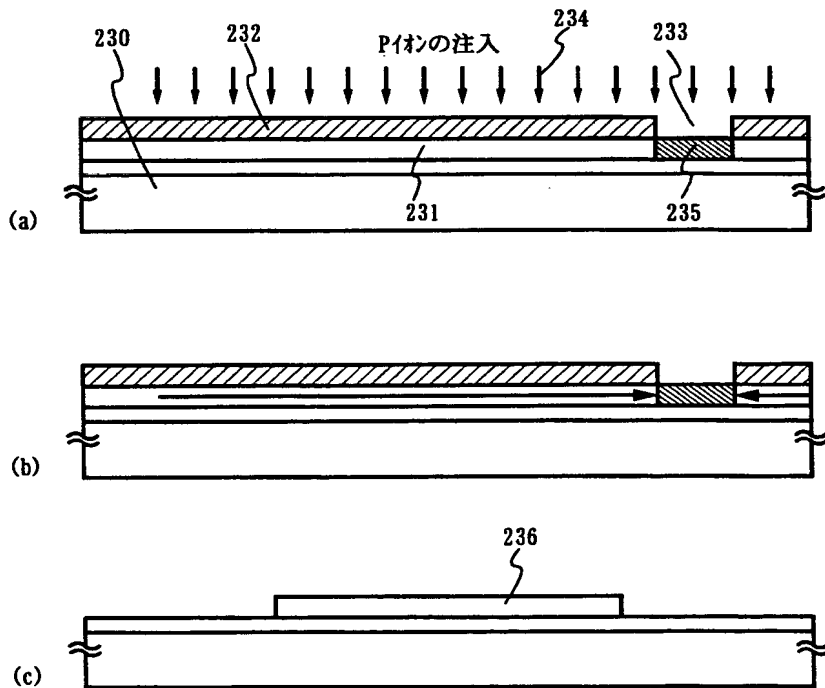


【図 1 2】

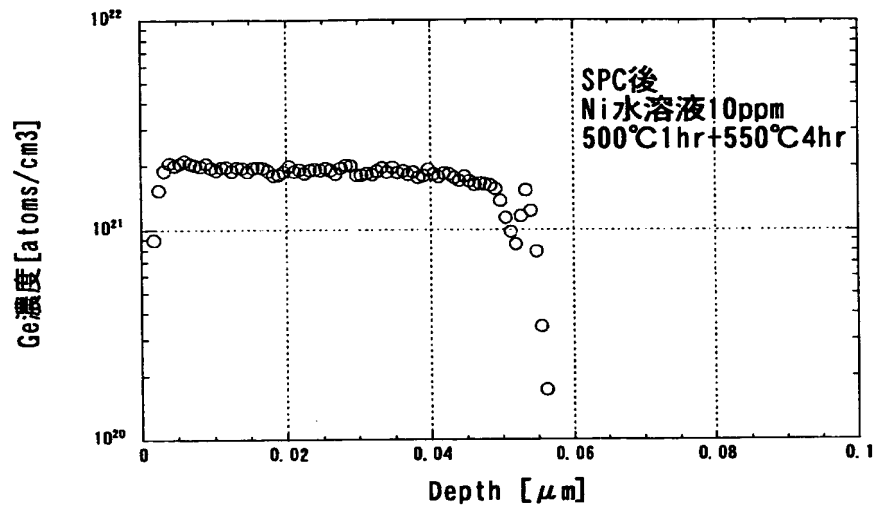
(A)



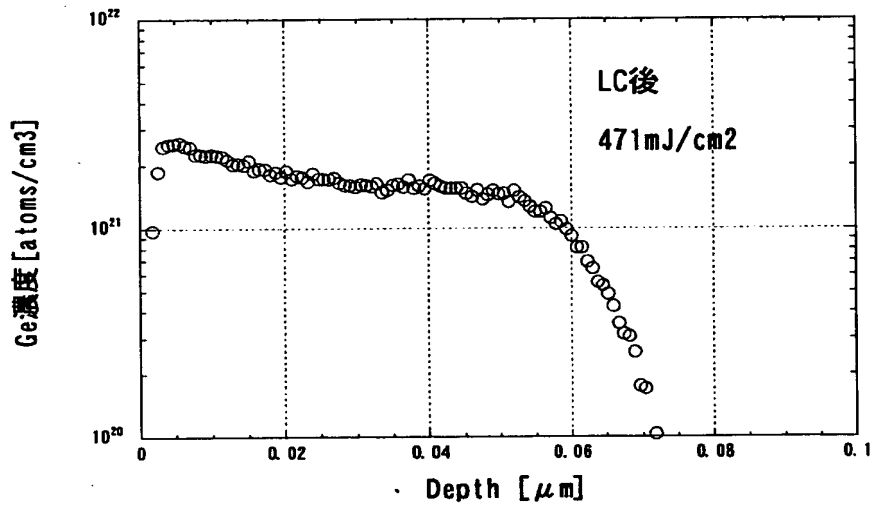
(B)



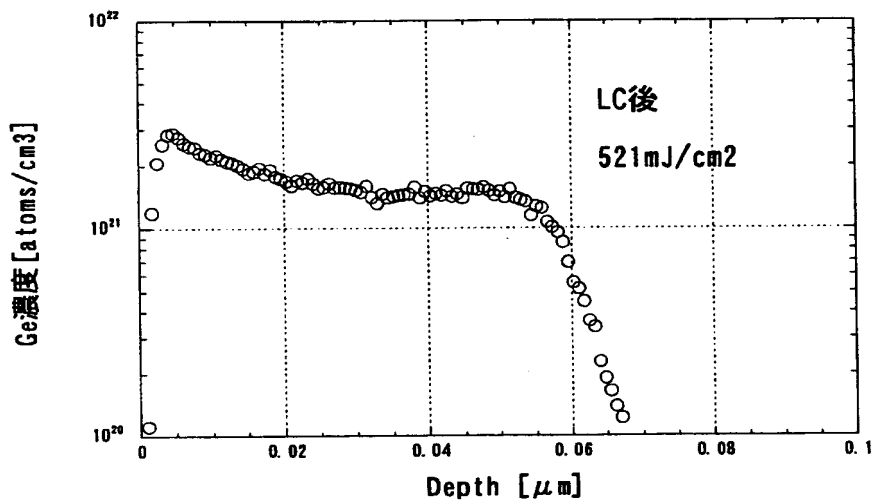
【図13】



(A)



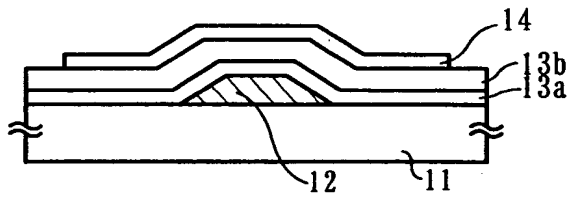
(B)



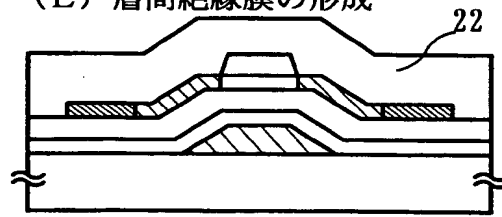
(C)

【図 1 4】

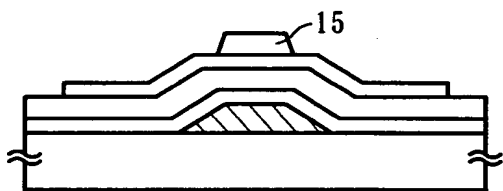
(A) 半導体層の形成



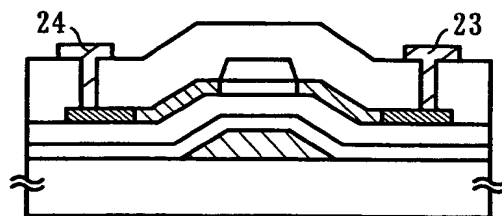
(E) 層間絶縁膜の形成



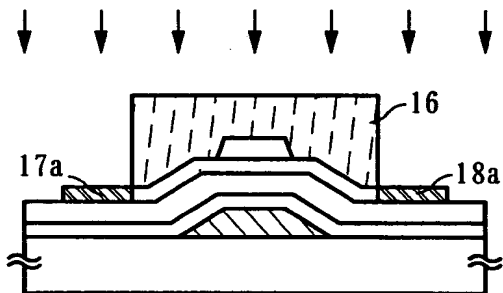
(B) 絶縁層の形成工程



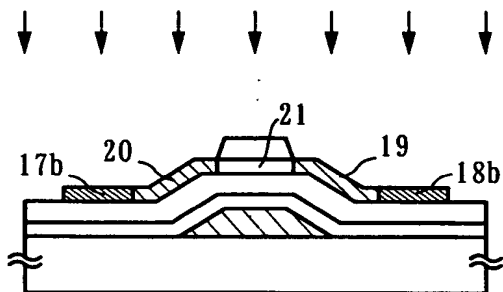
(F) 配線の形成



(C) ドーピング工程  
(n+領域の形成工程)

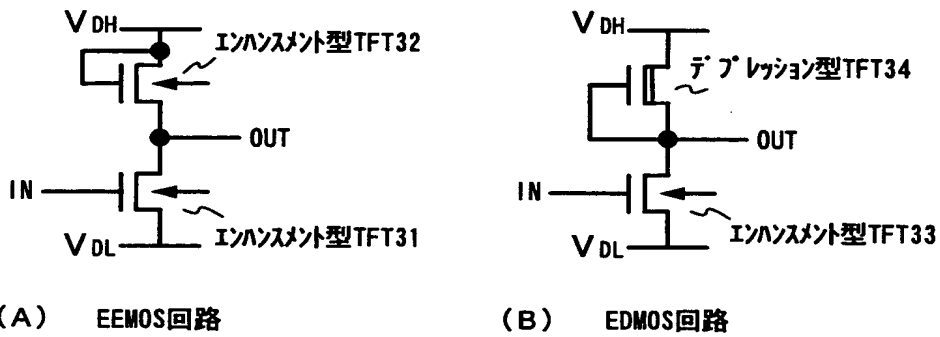


(D) ドーピング工程  
(n-領域の形成工程)

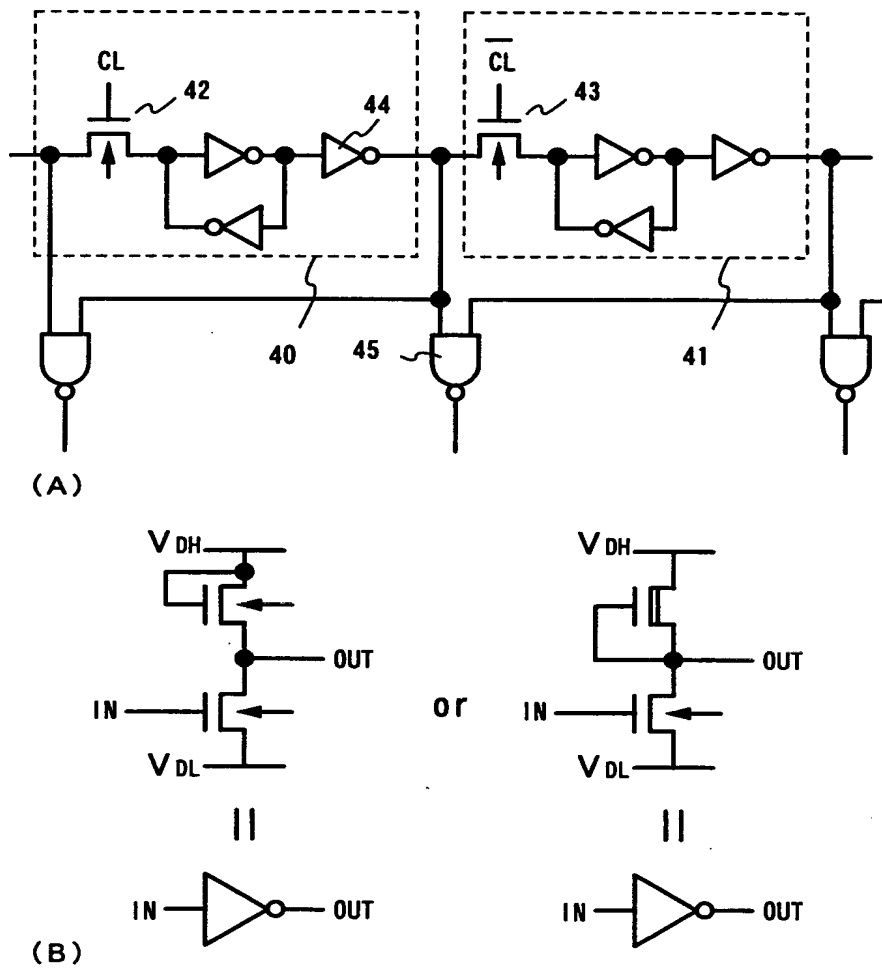


N<sup>+</sup>補型TFT

【図 15】



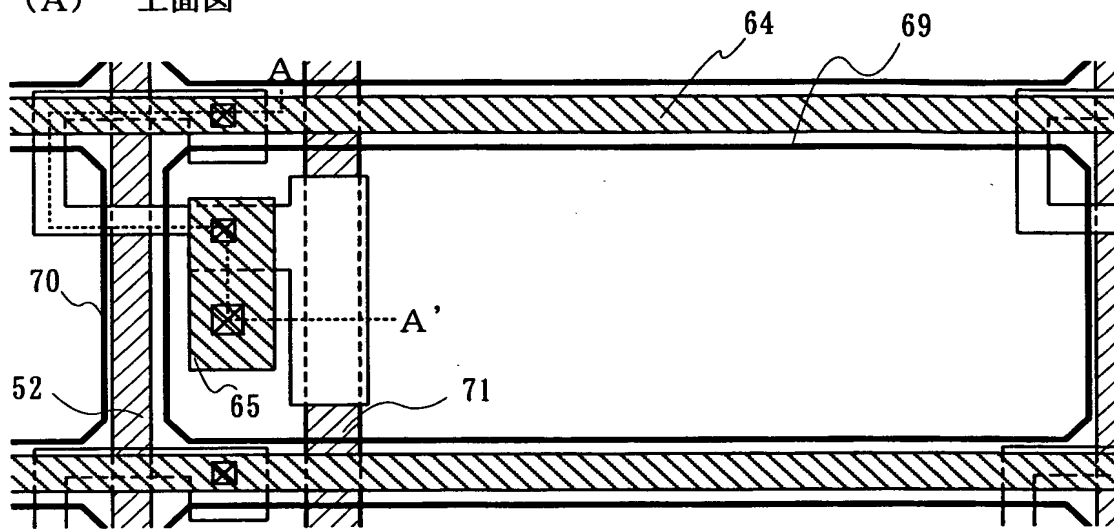
【図 16】



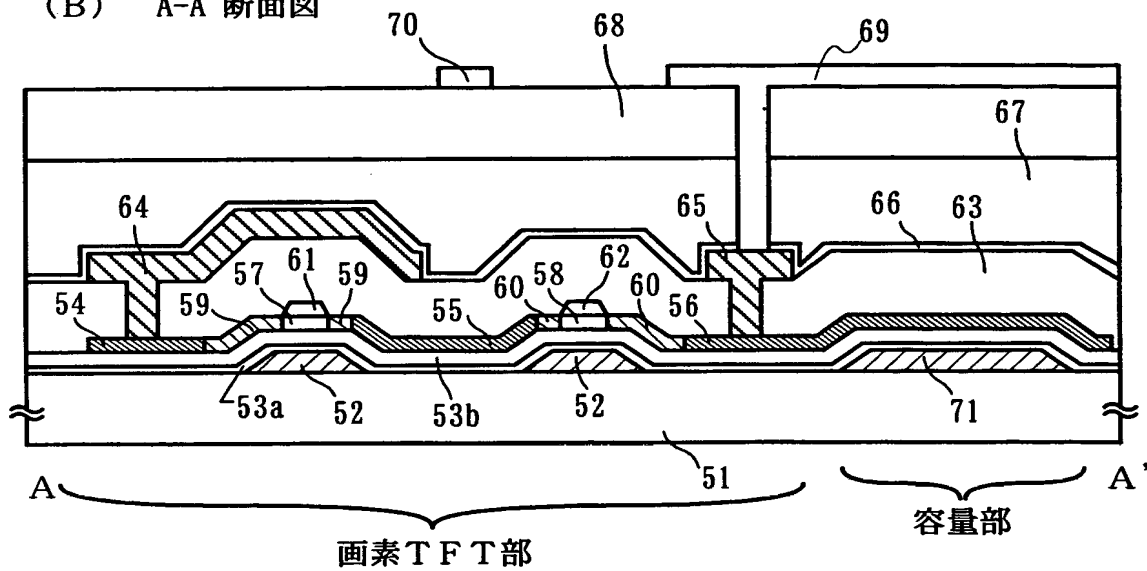


【図 17】

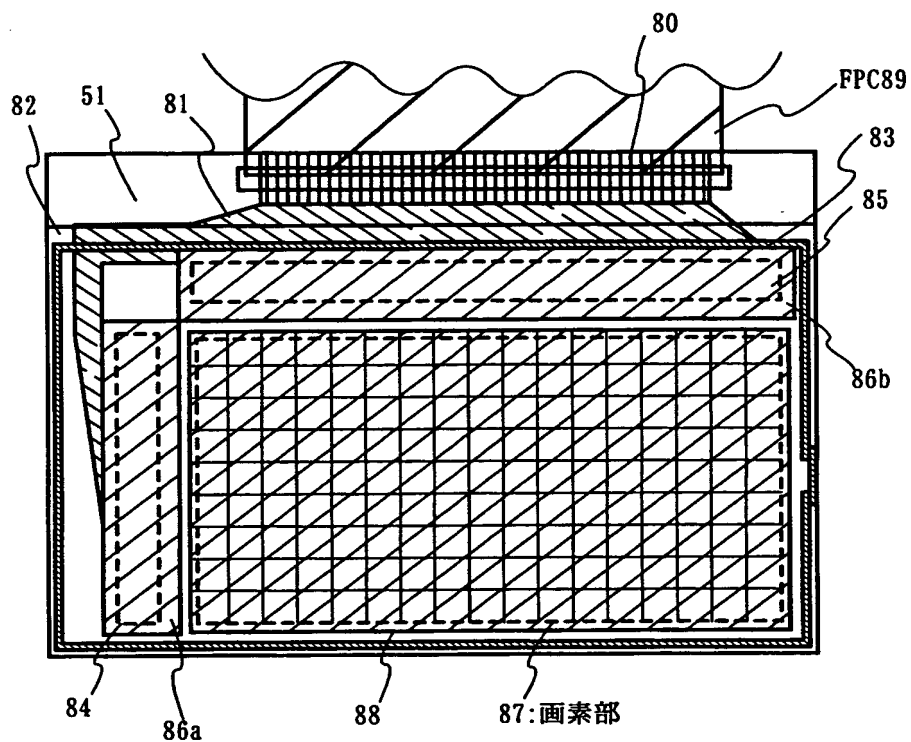
(A) 上面図



(B) A-A' 断面図

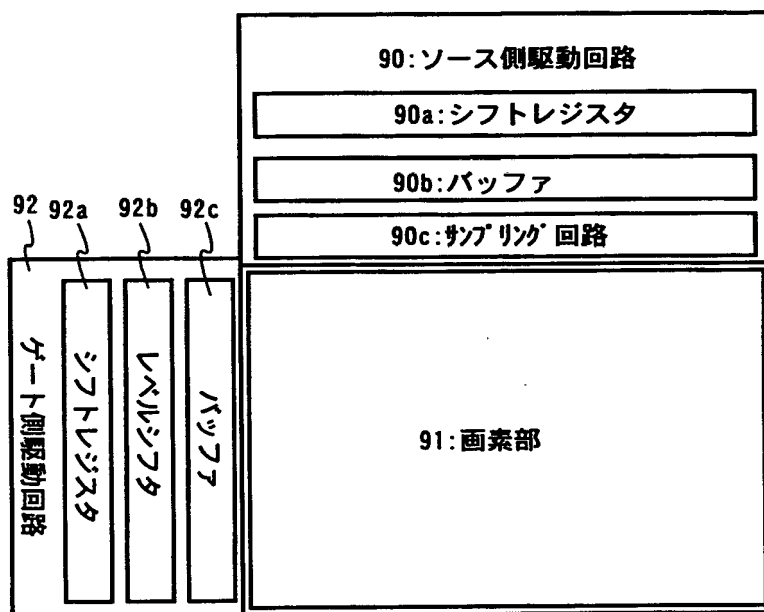


【図18】

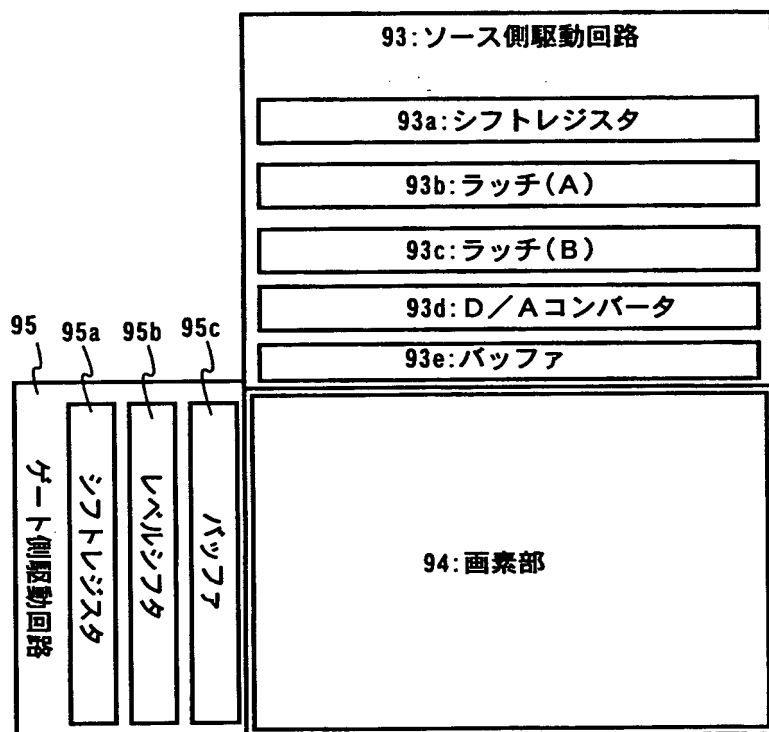


上面図

【図19】

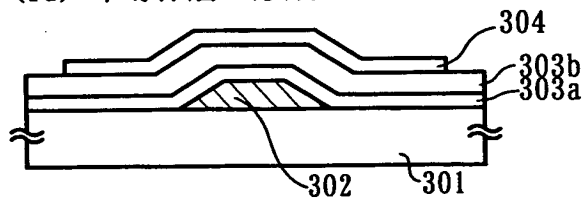


【図 20】

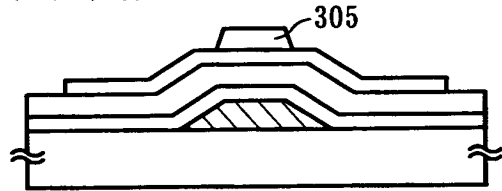


【図 2 1】

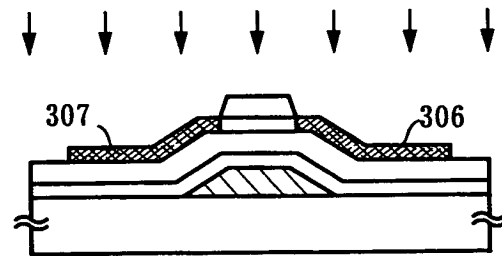
(A) 半導体層の形成



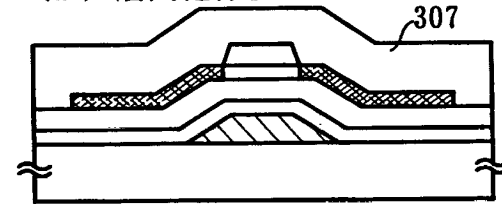
(B) 絶縁層の形成工程



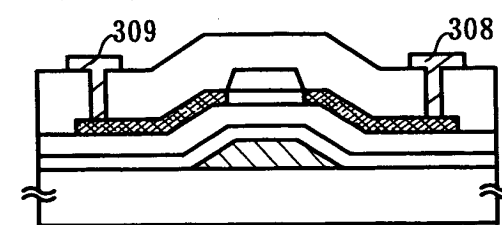
(C) ドーピング工程  
(p+領域の形成工程)



(D) 層間絶縁膜の形成



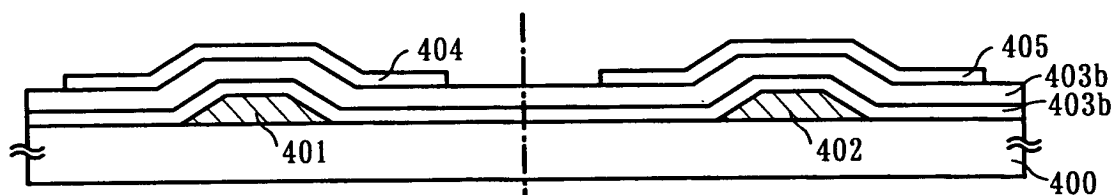
(E) 配線の形成



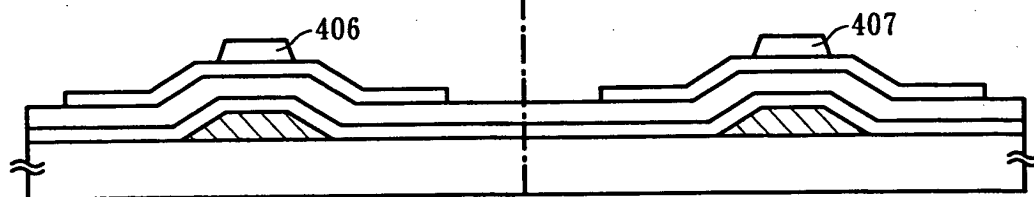
Pチャネル型TFT

【図 22】

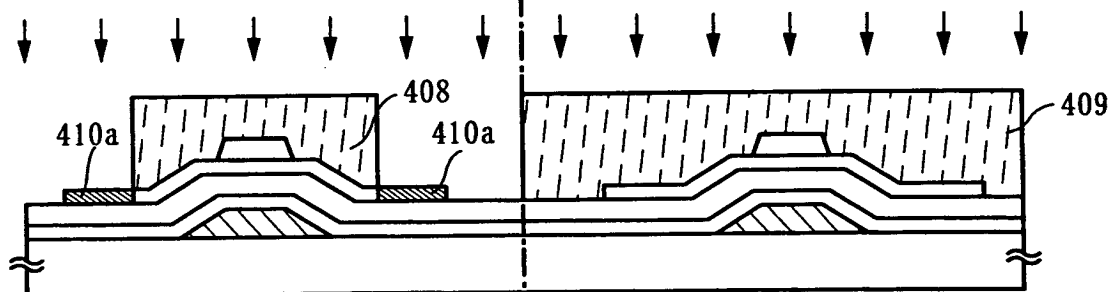
(A) 半導体層の形成



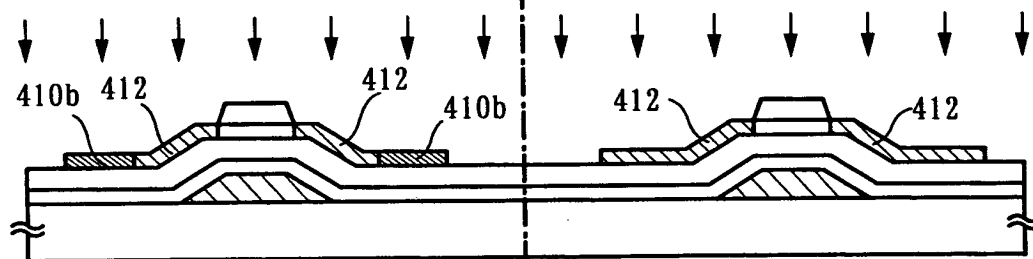
(B) 絶縁層の形成工程



(C) ドーピング工程  
(n+領域の形成工程)



(D) ドーピング工程  
(n-領域の形成工程)

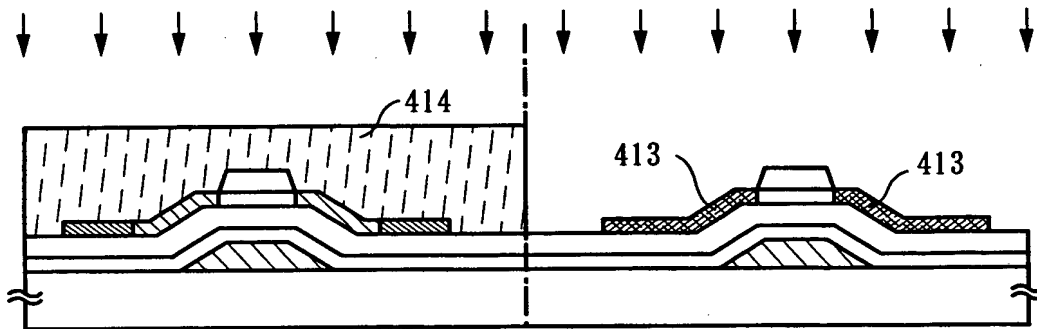


Nチャネル型TFT

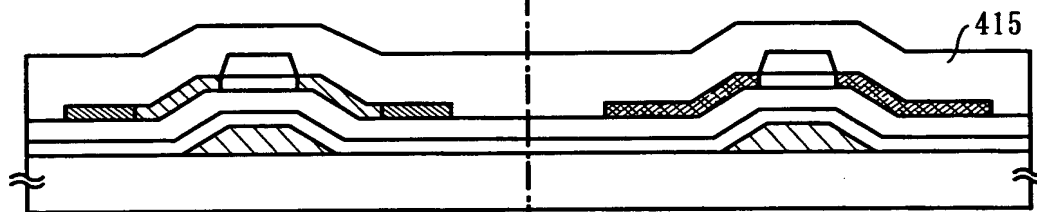
Pチャネル型TFT

【図23】

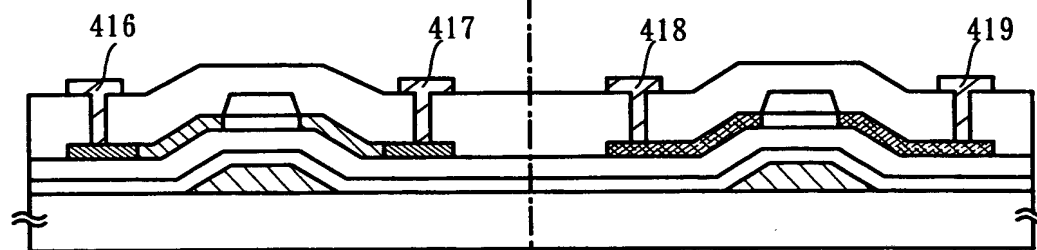
(A) ドーピング工程 (p+領域の形成工程)



(B) 層間絶縁膜の形成工程



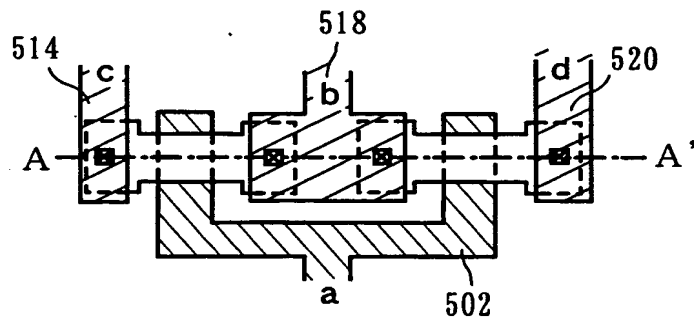
(C) 配線の形成工程



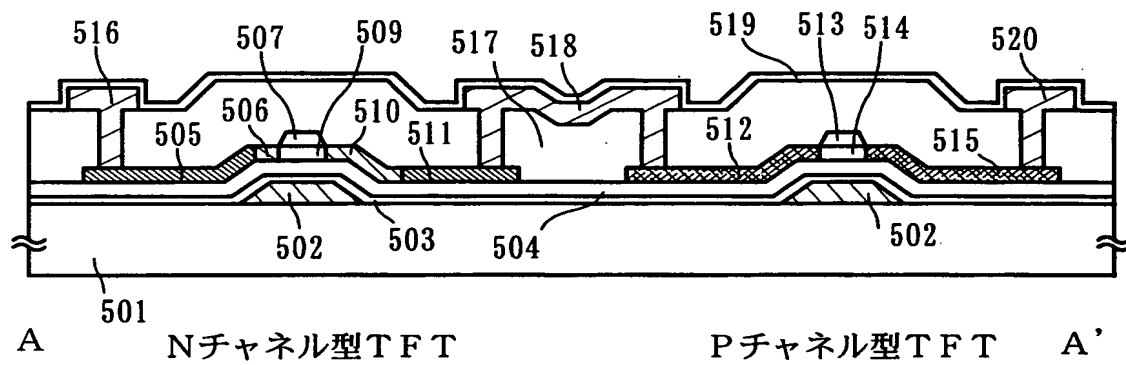
Nチャネル型TFT

Pチャネル型TFT

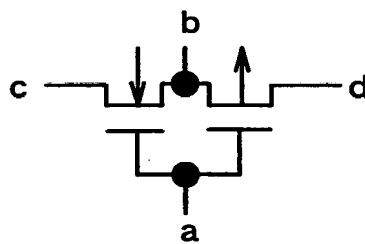
【図 2 4】



(A) CMOS回路上面図

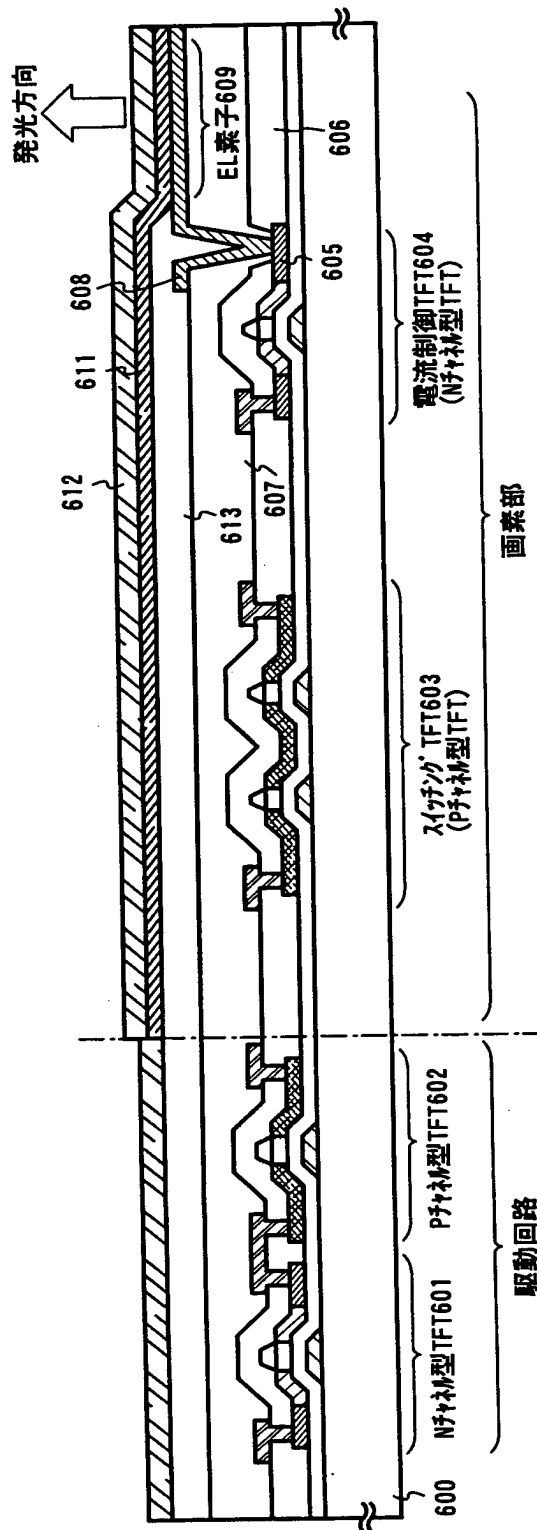


(B) A-A' 断面構造図



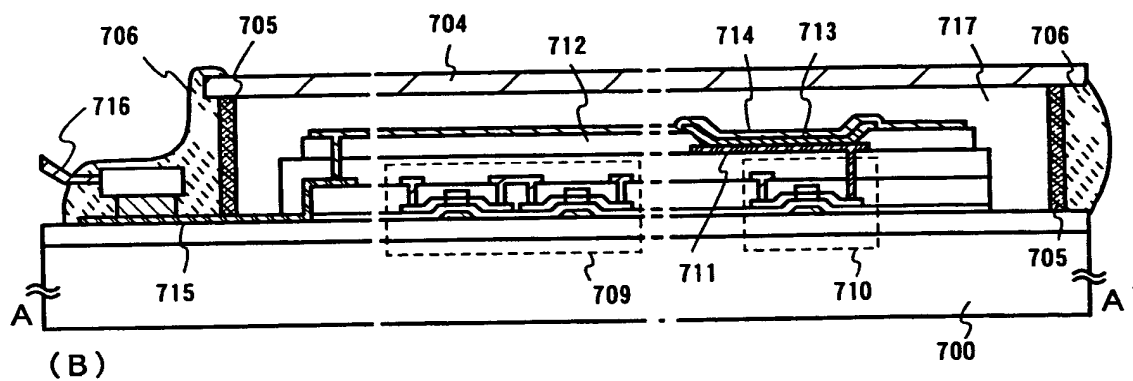
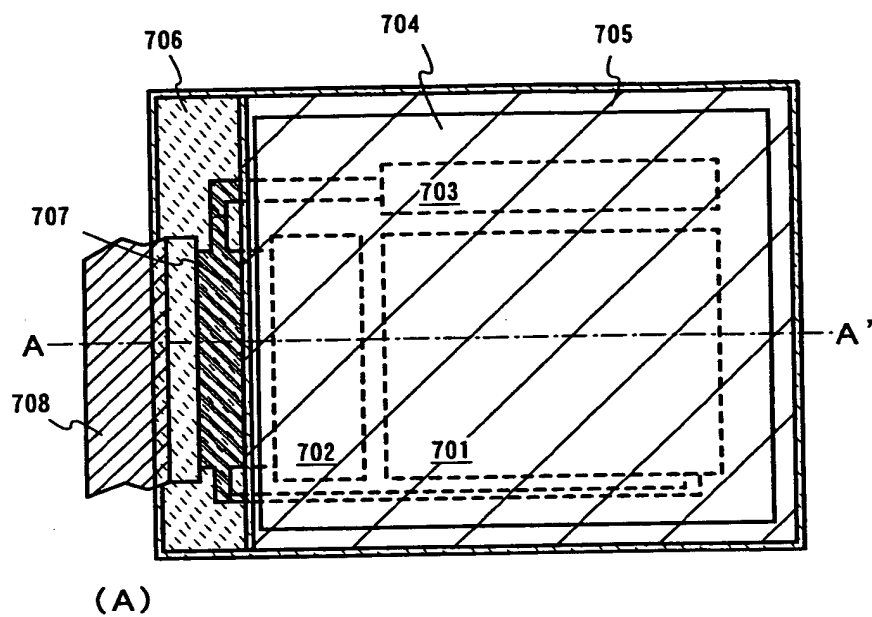
(C) CMOS回路図

【図 25】

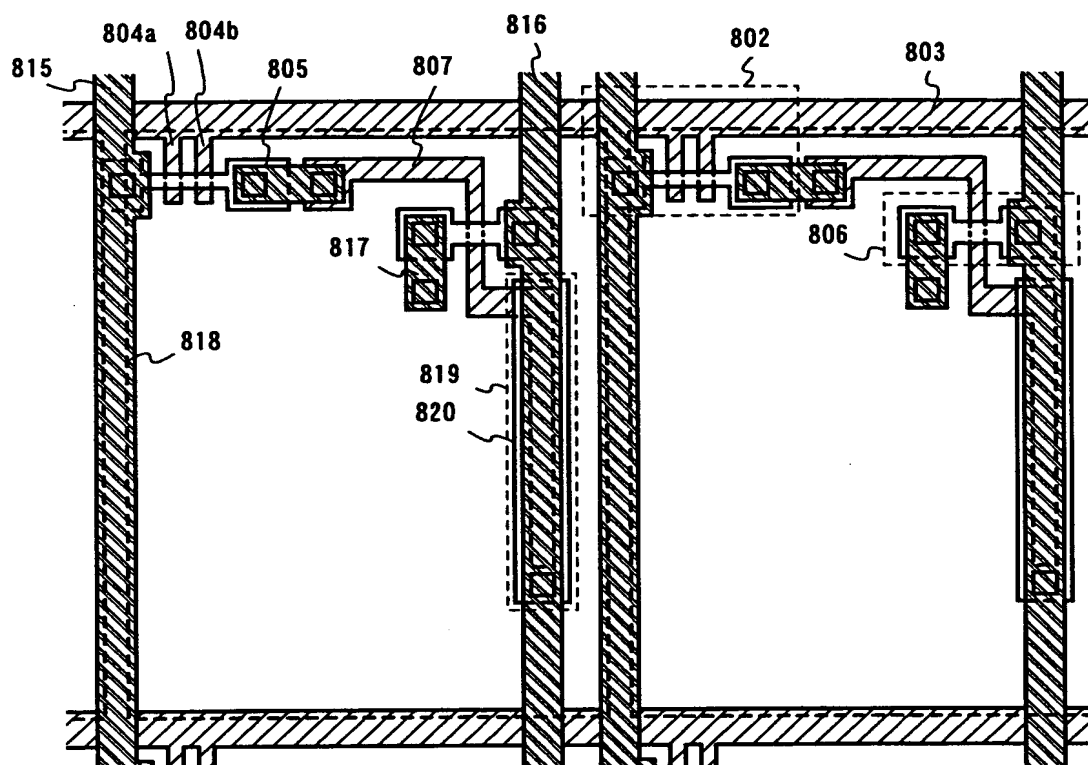




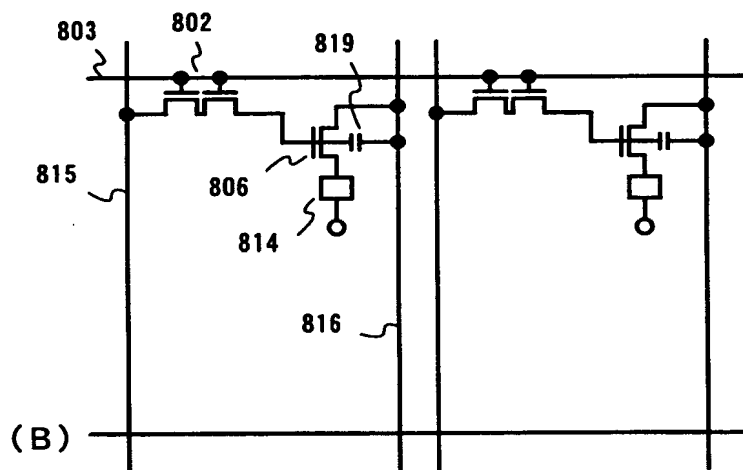
【図 26】



【図 27】

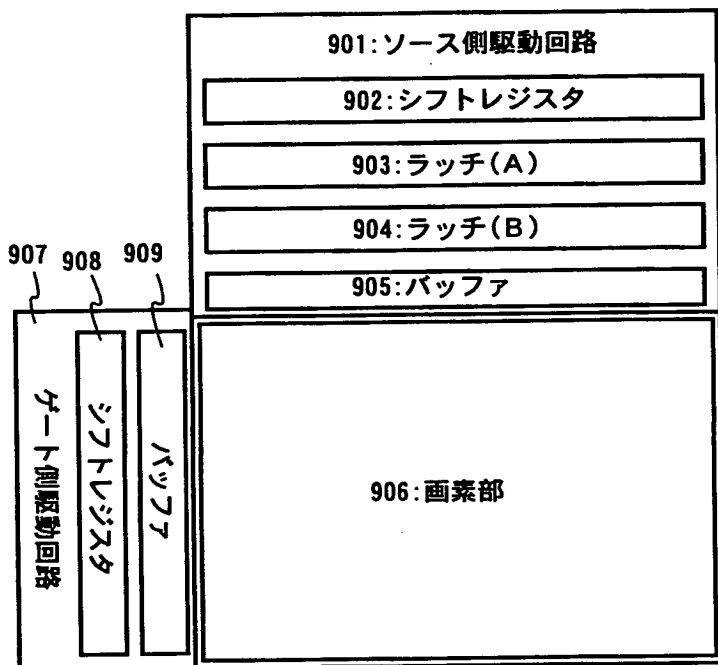


(A)

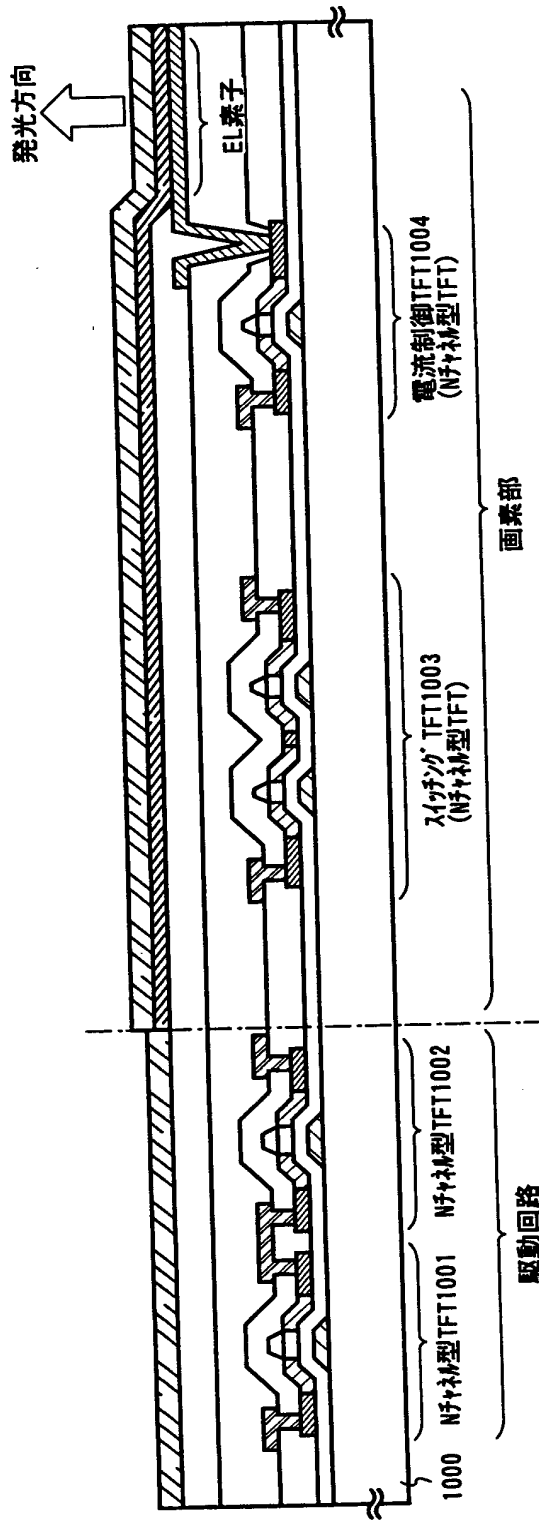


(B)

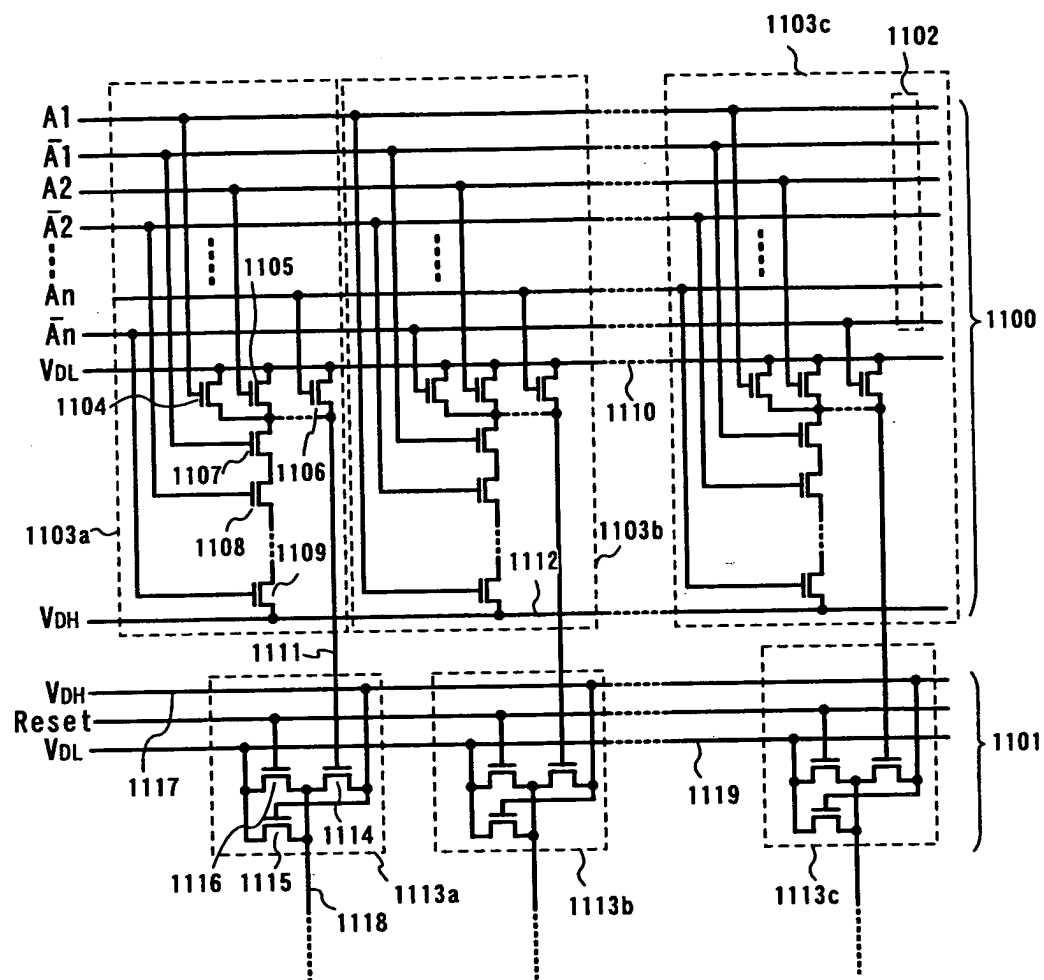
【図 28】



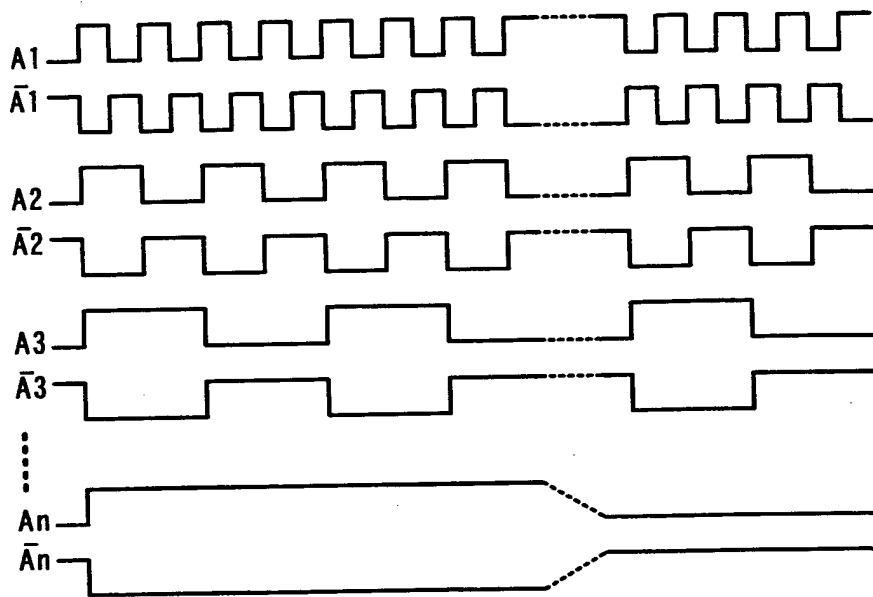
【図 29】



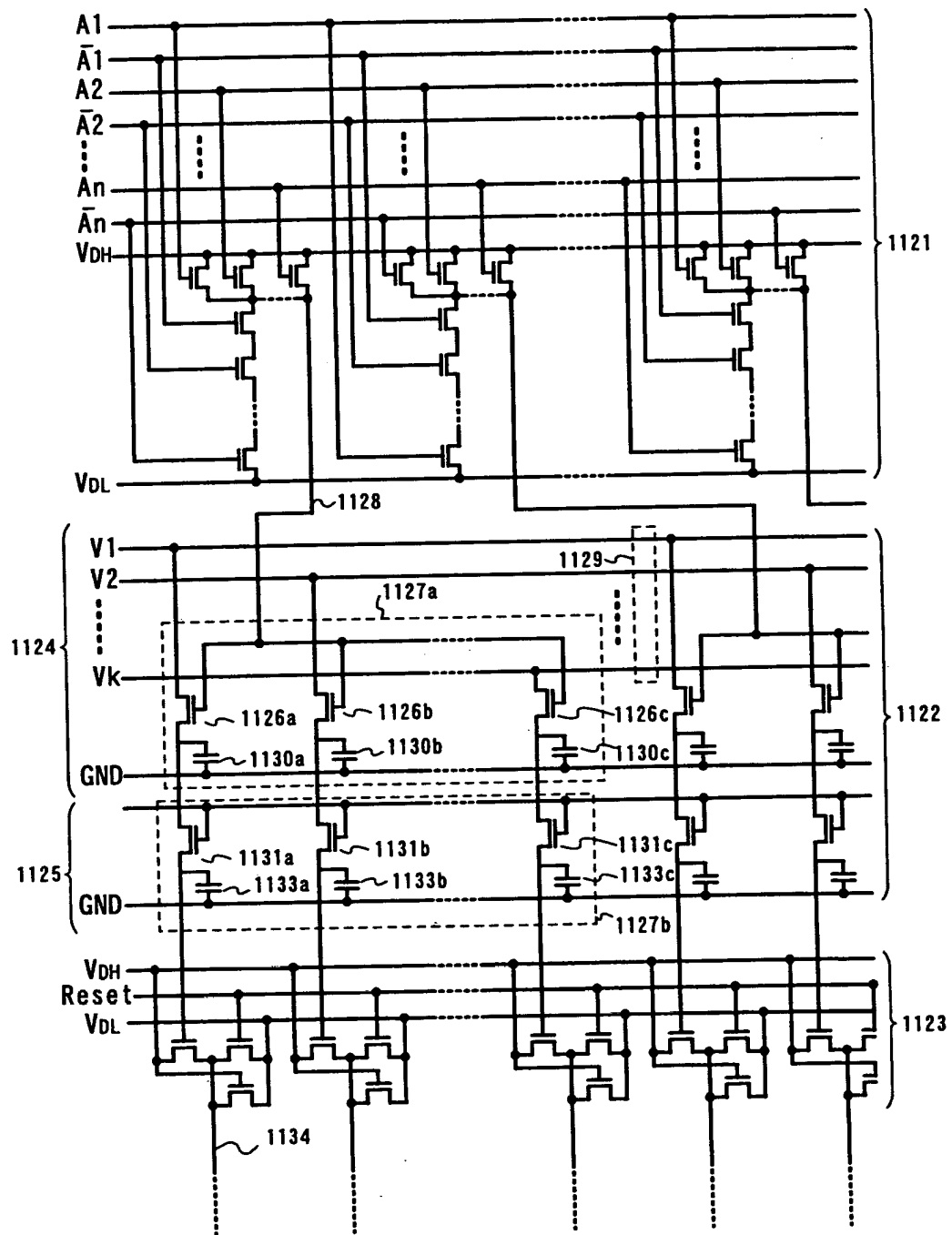
【図30】



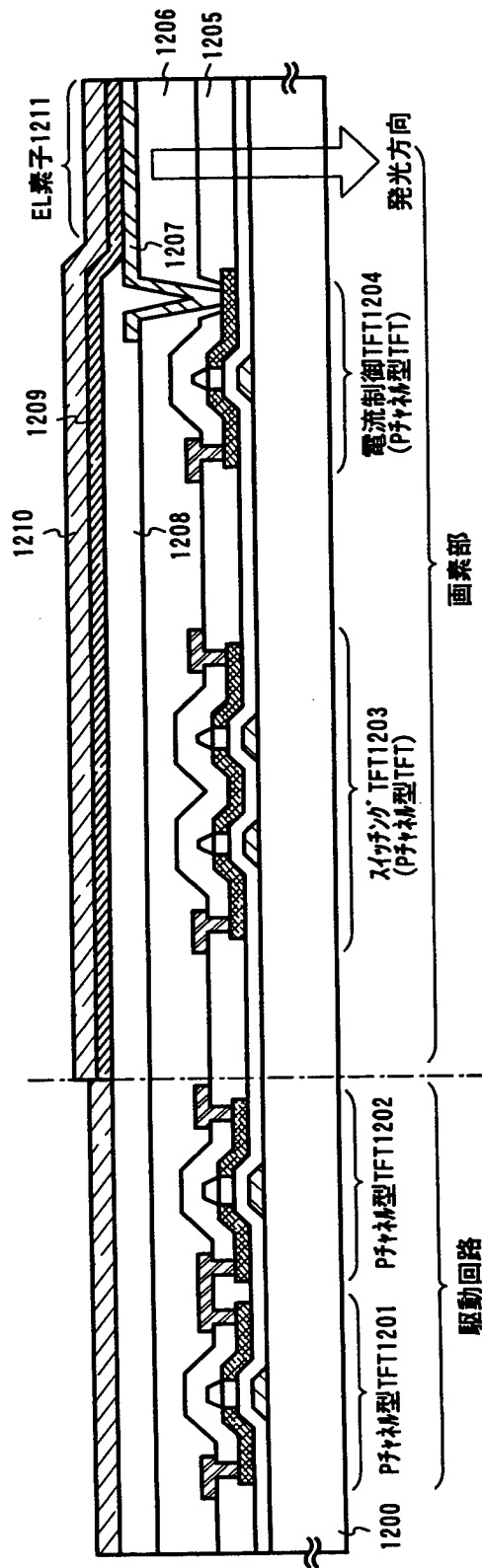
【図 3 1】



【図 3 2】

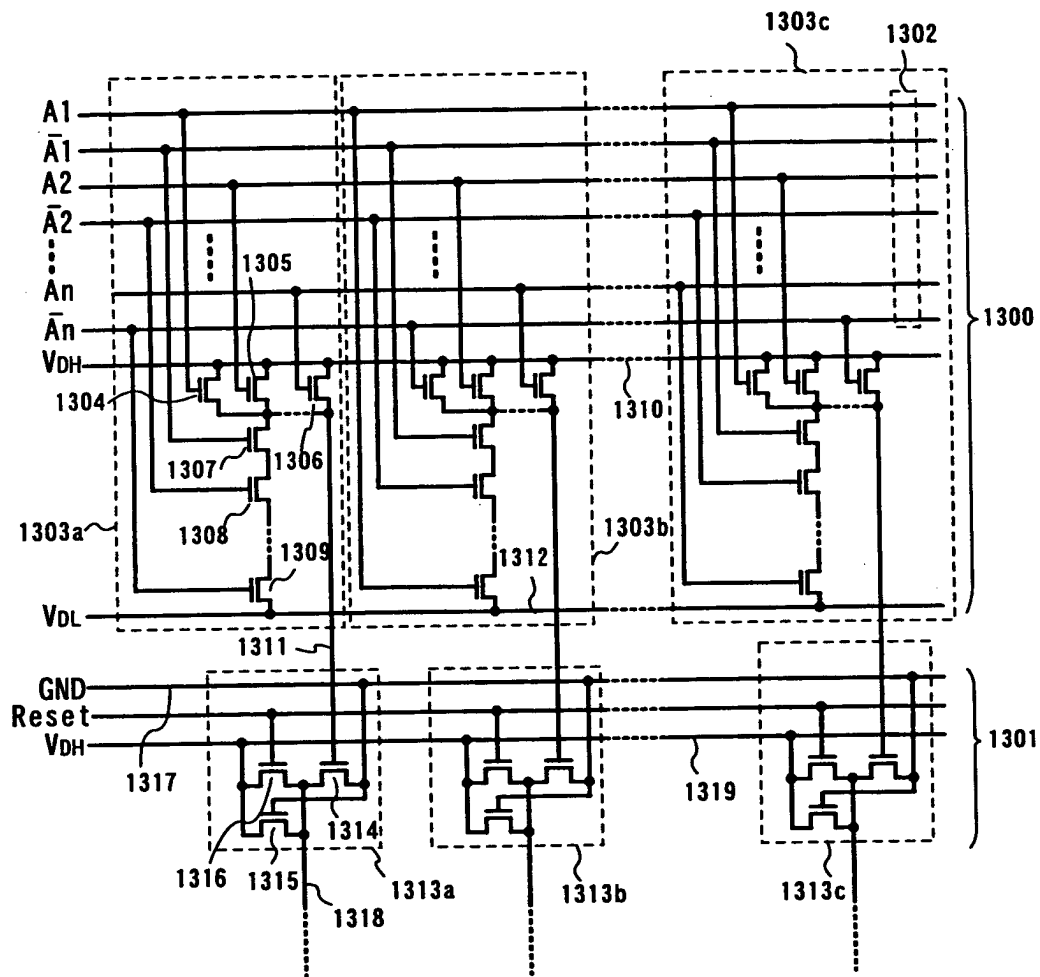


【図 33】

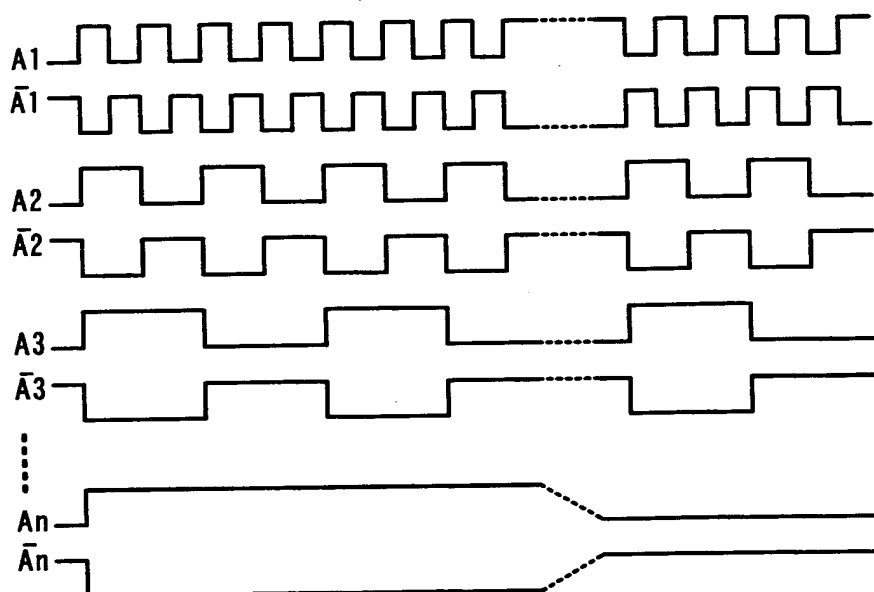




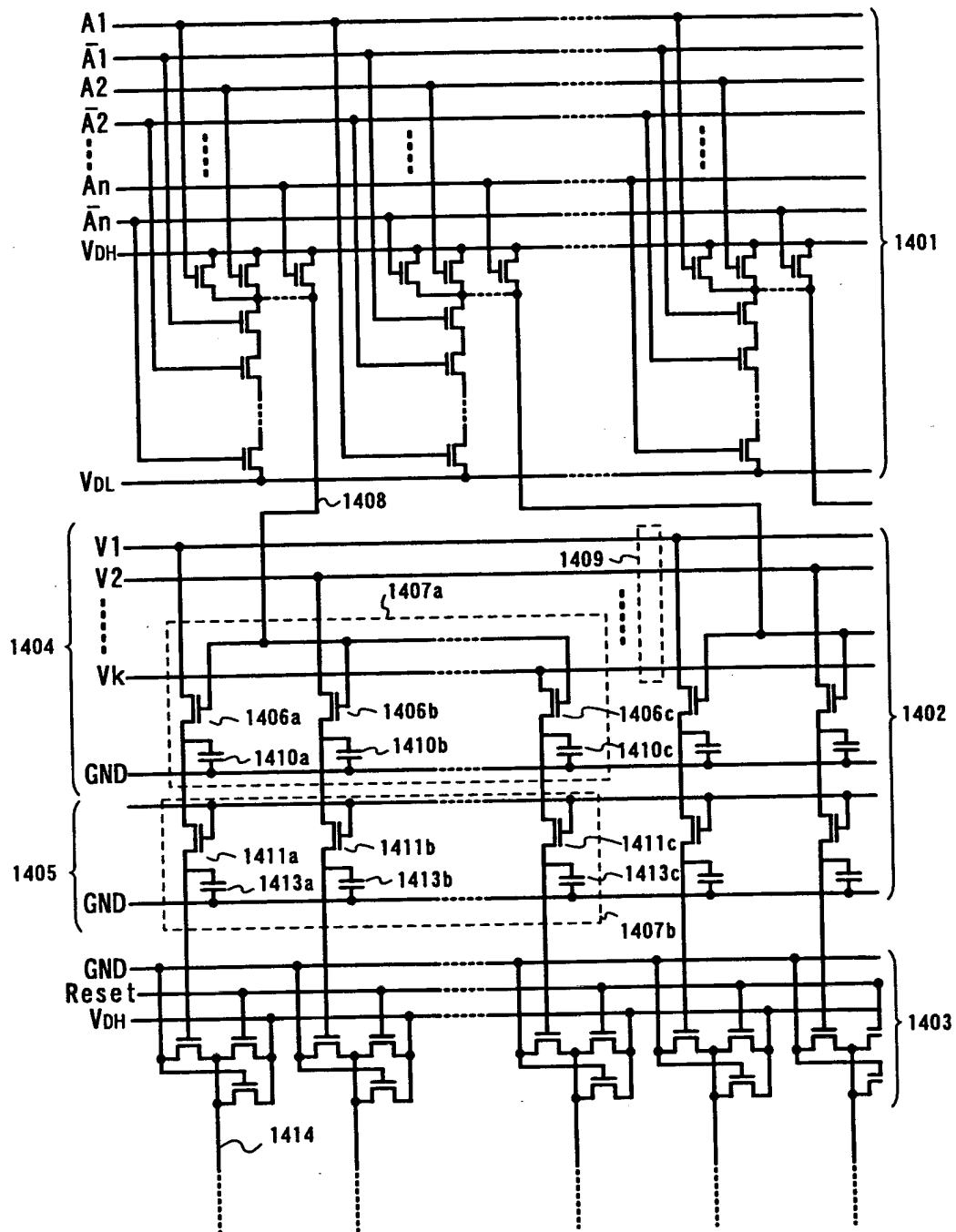
【図 34】



【図 35】

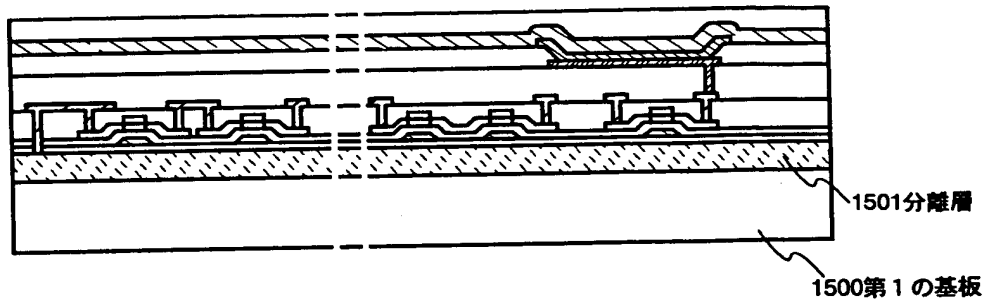


【図 36】

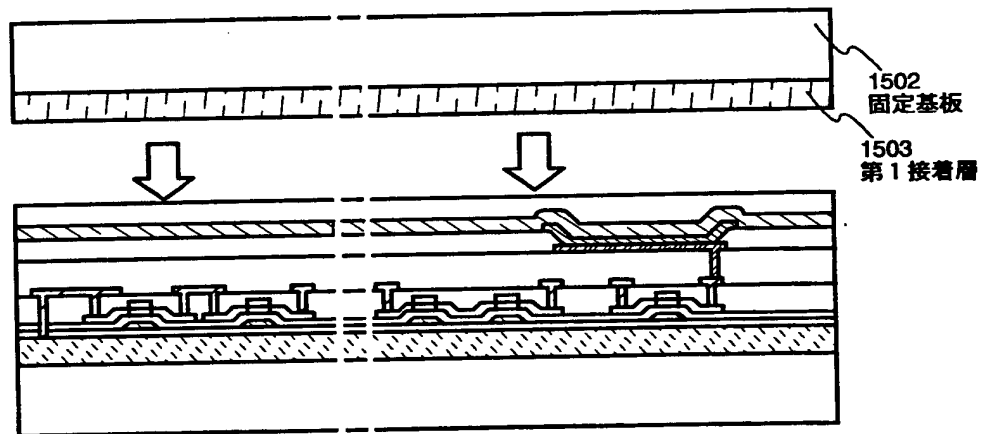


【図37】

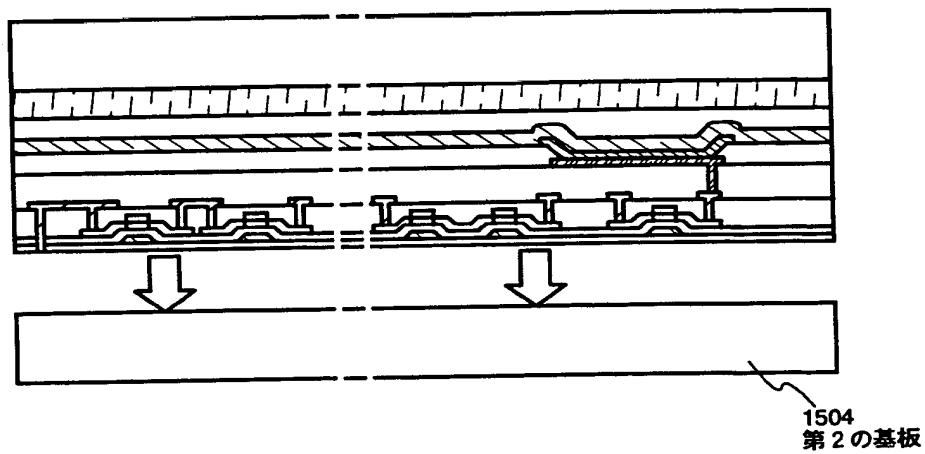
(A) EL素子形成後の状態



(B) 固定基板を貼り合わせる工程

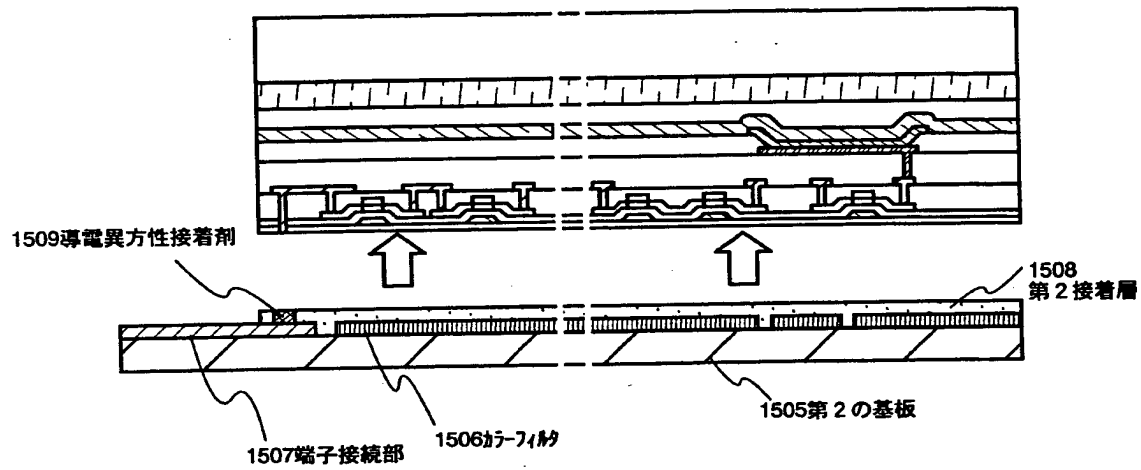


(C)  $\text{CF}_3$ により第2の基板を分離する工程

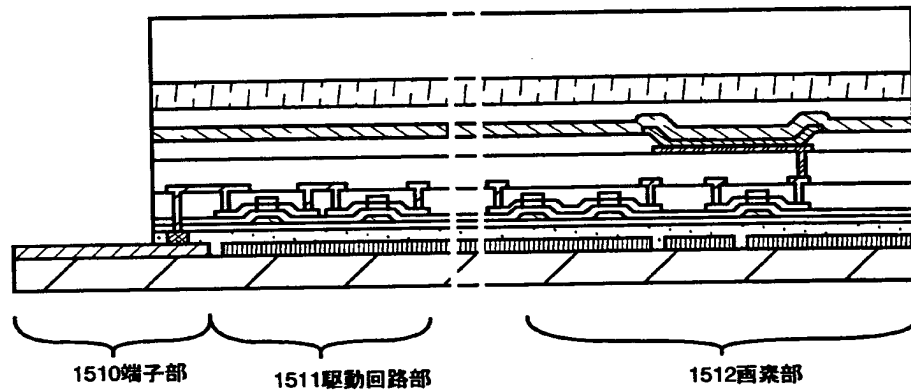


【図 38】

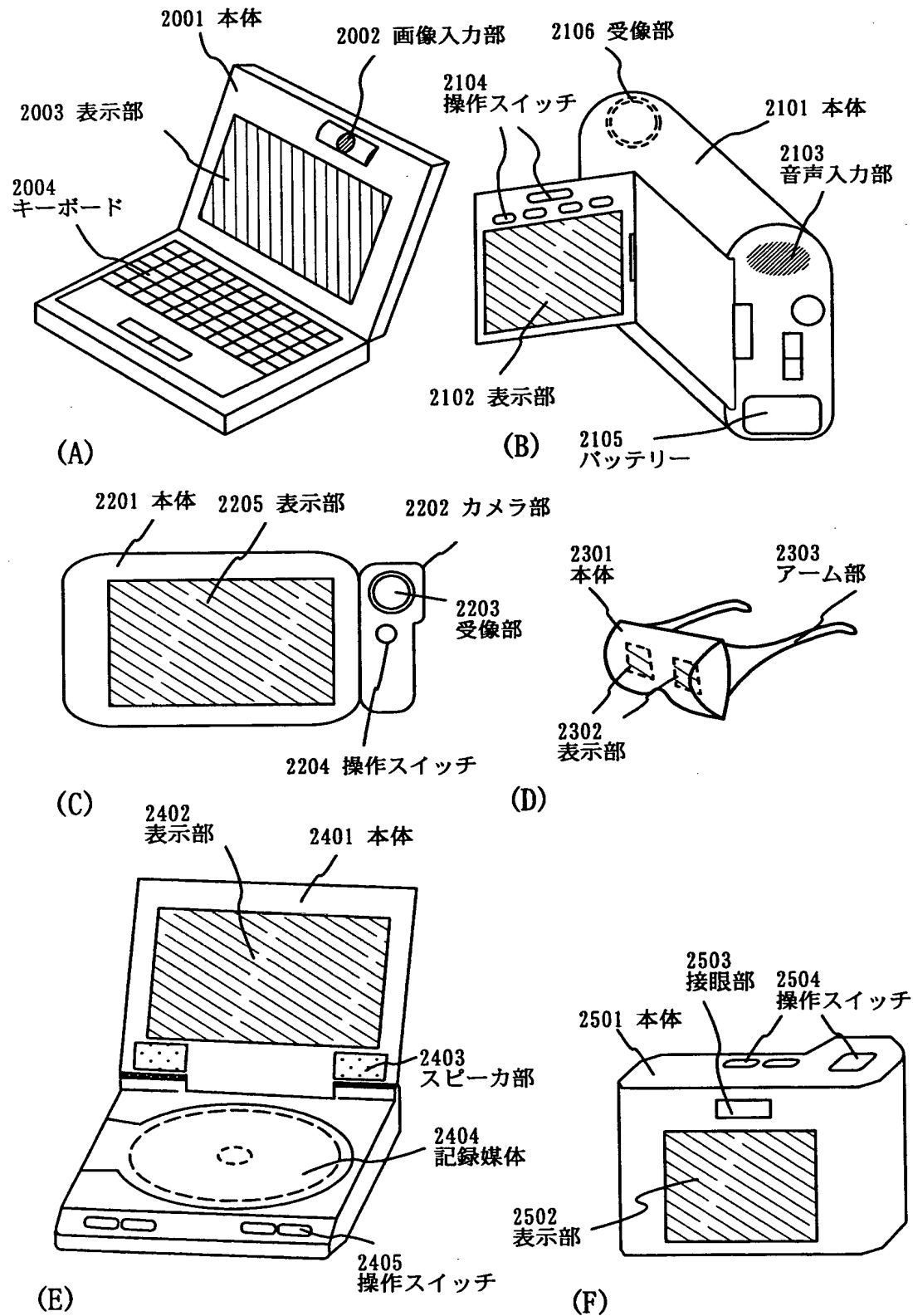
(A) カーフィルムが設けられた第2の基板（プラスチック基板）を貼りつける工程



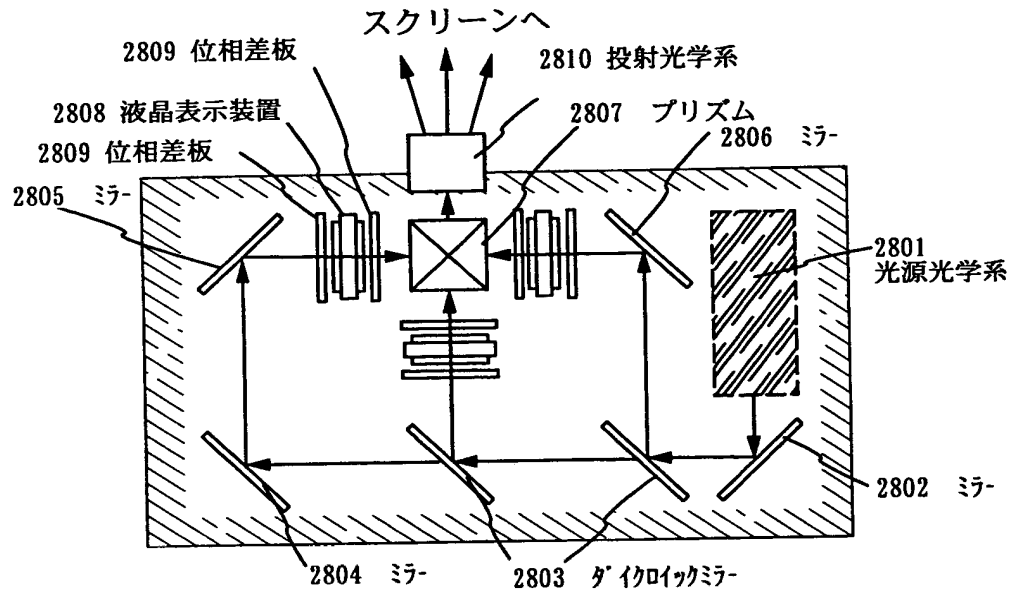
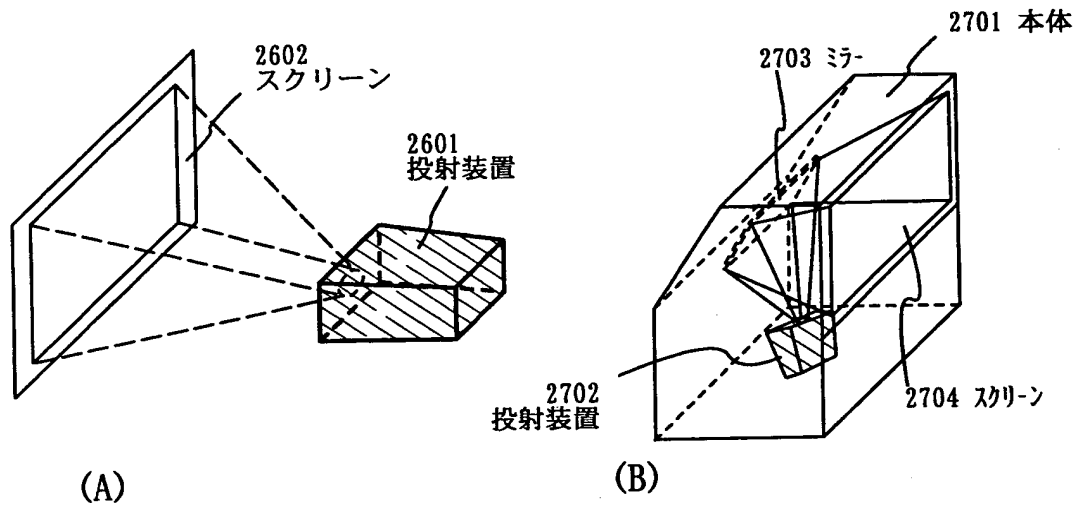
(B)



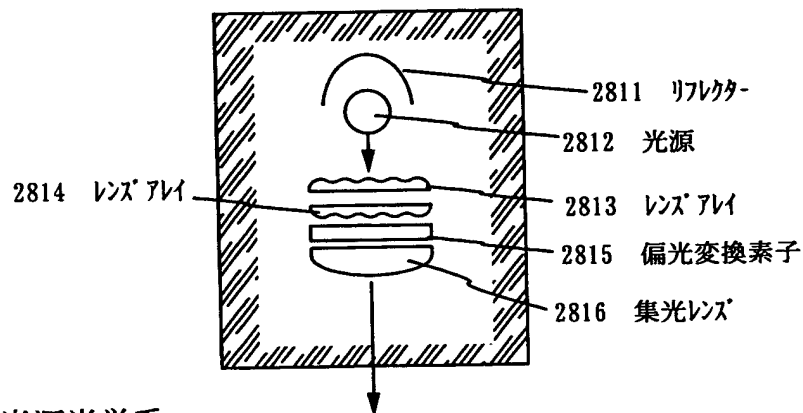
【図 39】



【図 40】



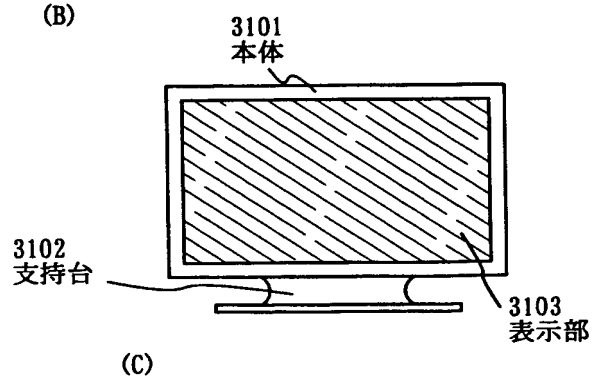
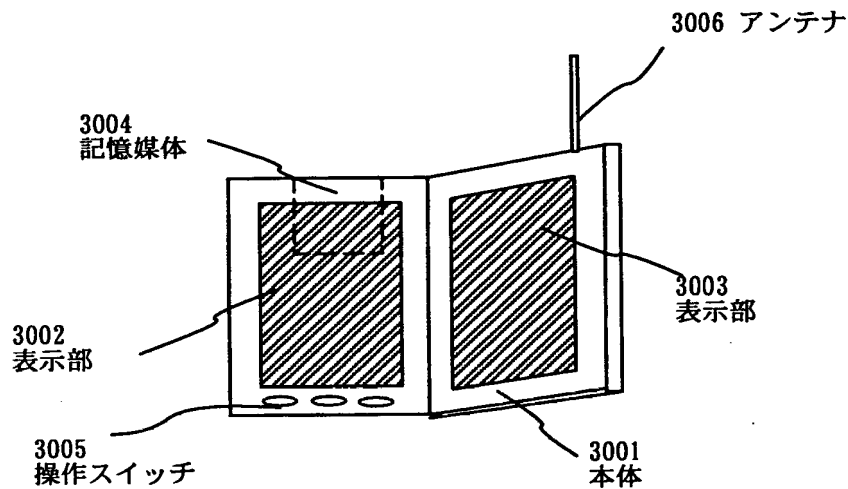
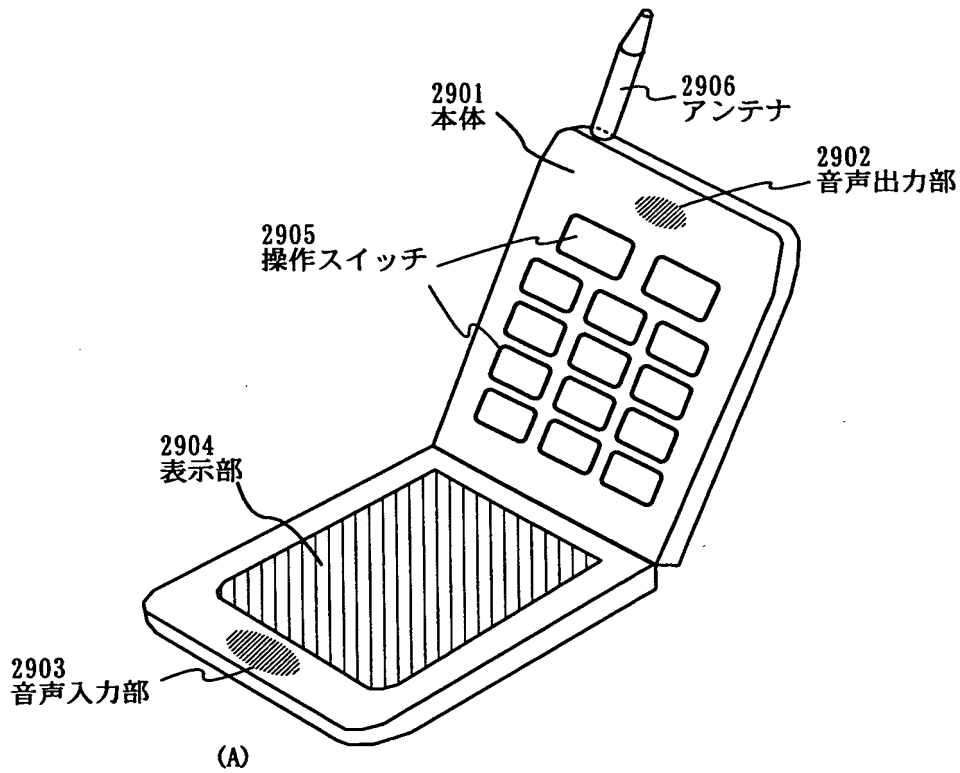
(C) 投射装置 (三板式)



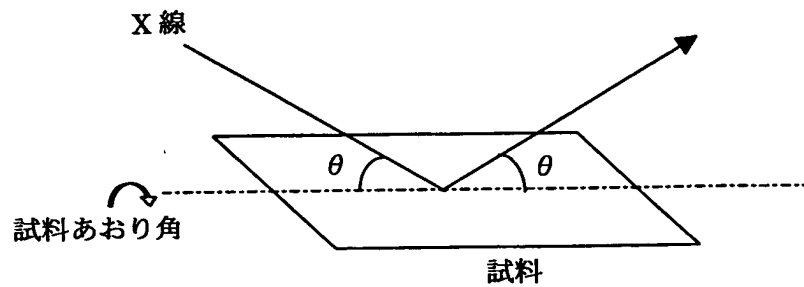
(D) 光源光学系

【図 4 1】



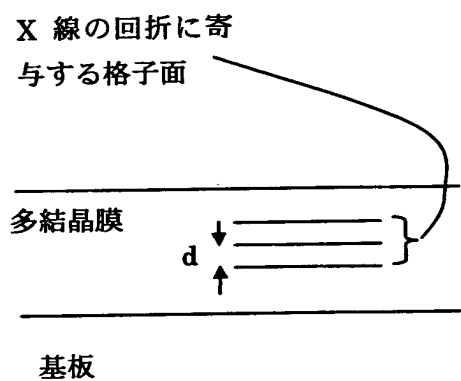


【図 4 2】

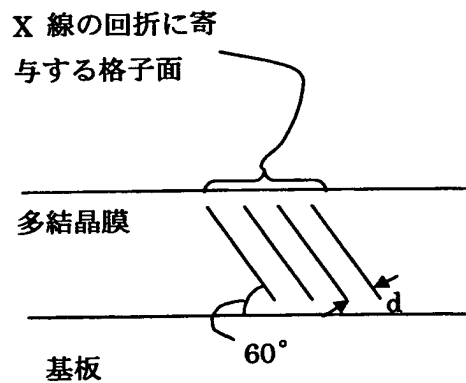


X 線回折測定と試料あおり角

【図 4 3】



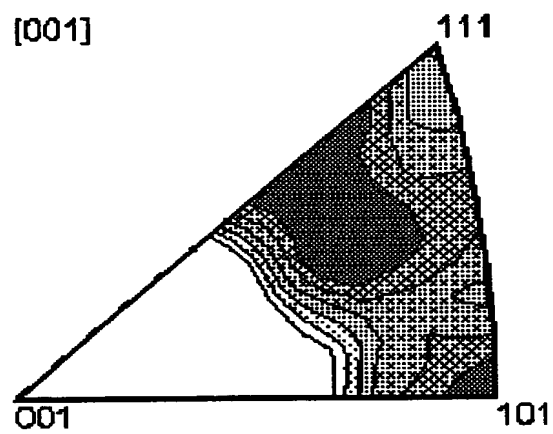
(a) あおり角  $0^\circ$  の場合



(b) あおり角  $60^\circ$  の場合

試料あおり角と、回折に寄与する格子面

【図 4 4】



【書類名】 要約書

【要約】

【課題】 従来の方法で作製される結晶質シリコン膜は、その結晶方位面がランダムに存在し、特定の結晶方位に対する配向率が低かった。

【解決手段】 シリコンを主成分とし、ゲルマニウムを0.1～10原子%含有する半導体材料を用い、金属元素を導入した後、当該金属元素を利用して非晶質半導体膜の結晶化を行うと、{101}格子面の配向率が高い半導体膜が得られ、その半導体膜を利用してTFTを作製する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000153878]

1. 変更年月日 1990年 8月17日  
[変更理由] 新規登録  
住 所 神奈川県厚木市長谷398番地  
氏 名 株式会社半導体エネルギー研究所